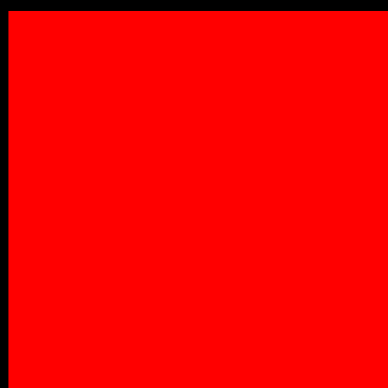


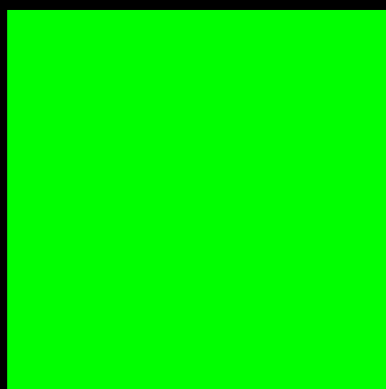
З.А.Мило



Популярные
микросхемы

ТТЛ

КР1533 КР1531
К531 К555 К155



ПОПУЛЯРНЫЕ МИКРОСХЕМЫ



СЕРИИ:
КР 1533 · КР 1531
К 531 · К 555 · К 155

МОСКВА «АРГУС» 1993

ББК 32.844.1
Ш59

Обложка Е. В. Головиной

Издание подготовлено при участии МП «Микроплан»

Шило В. Л.

Ш59 Популярные микросхемы ТТЛ. — М: «Аргус»,
1993. — 64 с.: ил.
ISBN 5—85549—004—1

Справочник по микросхемам ТТЛ отечественного и зарубежного производства: схемотехника, цоколевки, применение.

Ш 2404020000—004 Без объявл.
Я46(03)—93

ББК 32.844.1

Издательство «АРГУС» принимает
заявки на дополнительный тираж справочника.
Тел.: 289-25-92, 289-23-91

Справочное издание

ШИЛО Валерий Леонидович

Популярные микросхемы ТТЛ

Изд. лицензия № ЛР 061591 от 07.09.92.
Подписано в печать 23.08.93. Формат 60 × 90 1/8. Усл. печ. л. 8,0.
Тираж 100 000 экз. Заказ 37326.

Издательство «Аргус». 127018 Москва, Октябрьский пер., 32.

Отпечатано с готовых диапозитивов
в типографии АО «Молодая гвардия».
103030 Москва, Суцевская ул., 21.

ISBN 5—85549—004—1

© В. Л. Шило, 1993

© Обложка. В. М. Лебедев, 1993

ОГЛАВЛЕНИЕ

Микросхемы: зарубежные — отечественные	4
Как найти микросхему?	5
Мнемонические обозначения	6
1. Прибор для испытаний микросхем	7
2. Серии микросхем ТТЛ	8
3. Буферные и шинные усилители	10
4. Микросхемы: И, $\overline{\text{И}}$, $\overline{\text{ИЛИ}}$, И/ $\overline{\text{ИЛИ}}$	13
5. Автогенераторы на микросхемах ТТЛ	18
6. Триггеры Шмитта	18
7. Исключающее ИЛИ	19
8. Триггеры RS и D	20
9. Триггеры JK	22
10. Счетчики	24
11. Регистры	31
12. Дешифраторы и шифраторы	41
13. Мультиплексоры	46
14. Сумматоры	50
15. Оперативные и постоянные запоминающие устройства	53
16. Элементы вычислительных устройств	58
17. Мультивибраторы и автогенераторы	62
Литература	64

МИКРОСХЕМЫ: **ЗАРУБЕЖНЫЕ—ОТЕЧЕСТВЕННЫЕ**

74, 74LS, 74S, 74F, 74AS, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74AS, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74AS, 74ALS	K155, K555, K531, K1531, K1533
7400	ЛА3	74109	ТВ15	74242	ИП6
7401	ЛА8	74112	ТВ9	74243	ИП7
7402	ЛЕ1	74113	ТВ10	74244	АП5
7403	ЛА9	74114	ТВ11	74245	АП6
7404	ЛН1	74121	АГ1	74247	ИД18
7405	ЛН2	74123	АГ3	74251	КП15
7406	ЛН3	74124	ГГ1	74253	КП12
7407	ЛН4	74125	ЛП8	74257	КП11
7408	ЛИ1	74128	ЛЕ6	74258	КП14
7409	ЛИ2	74130	РУ5	74259	ИР30
7410	ЛА4	74132	ТЛ3	74260	ЛЕ7
7411	ЛИ3	74134	ЛА19	74261	ИП8
7412	ЛА10	74136	ЛП12	74273	ИР35
7413	ТЛ1	74138	ИД7	74279	ТР2
7414	ТЛ2	74139	ИД14	74280	ИП5
7415	ЛИ4	74140	ЛА16	74283	ИМ6
7416	ЛН5	74141	ИД1	74289	РУ9
7417	ЛП4	74145	ИД10	74295	ИР16
7420	ЛА1	74147	ИВ3	74298	КП13
7421	ЛИ6	74148	ИВ1	74299	ИР24
7422	ЛА7	74150	КП1	74322	ИР28
7423	ЛЕ2	74151	КП7	74348	ИВ2
7425	ЛЕ3	74152	КП5	74353	КП17
7426	ЛА11	74153	КП2	74358	ИМ7
7427	ЛЕ4	74154	ИД3	74365	ЛП10
7428	ЛЕ5	74155	ИД4	74366	ЛП6
7430	ЛА2	74156	ИД5	74367	ЛП11
7432	ЛЛ1	74157	КП16	74373	ИР22
7437	ЛА12	74158	КП18	74374	ИР23
7438	ЛА13	74160	ИЕ9	74377	ИР27
7440	ЛА6	74161	ИЕ10	74381	ИК2
7442	ИД6	74163	ИЕ18	74384	ИП9
7450	ЛР1	74164	ИР8	74385	ИМ7
7451	ЛР11	74165	ИР9	74393	ИЕ19
7453	ЛР3	74168	ИЕ16	74395	ИР25
7454	ЛР13	74169	ИЕ17	74452	ЛА18
7455	ЛР4	74170	РП1	74573	ИР33
7460	ЛД1	74172	РП3	74670	ИР26
7464	ЛР9	74173	ИР15	74832	ЛЛ3
7465	ЛР10	74174	ТМ9	74873	ИР34
7472	ТВ1	74175	ТМ8	741003	ЛА23
7474	ТМ2	74180	ИП2	741005	ЛП10
7475	ТМ7	74181	ИП3	741008	ЛИ8
7477	ТМ5	74182	ИП4	741010	ЛА24
7480	ИМ1	74183	ИМ5	741011	ЛИ10
7481	РУ1	74184	ПР6	741020	ЛА22
7482	ИМ2	74185	ПР7	741034	ЛП16
7483	ИМ3	74189	РУ8	741035	ЛП17
7484	РУ3	74191	ИЕ13	2504	ИР17
7485	СП1	74192	ИЕ6	AM25S05	ИК1
7486	ЛП5	74193	ИЕ7	AM25S07	ИР18
7489	РУ2	74194	ИР11	AM25S08	ИР19
7490	ИЕ2	74195	ИР12	AM25S09	ИР20
7491	ИР2	74196	ИЕ14	AM25S10	ИР21
7492	ИЕ4	74197	ИЕ15	75450	ЛП7
7493	ИЕ5	74198	ИР13	75451	ЛИ5
7495	ИР1	74221	АГ4	75452	ЛА18
7497	ИЕ8	74240	АП3	75453	ЛЛ12
74107	ТВ6	74241	АП4		

КАК НАЙТИ МИКРОСХЕМУ !

↓	Серии 74	Стр.	↓	Серии 74	Стр.	↓	Серии 74	Стр.
АГ1	121	62	ИР18	S07	36	ЛИ8	08	14
3	123	63	19	S08	36	10	11	14
4	221	63	20	S09	37	ЛД1	60	17
АПЗ	240	12	22	373	37	3	—	17
4	241	12	23	374	38	ЛЛ1	32	16
5	244	12	24	299	38	2	453	16
6	245	13	25	395	39	3	832	19
12	—	12	26	670	55	4	22	16
13	—	12	27	377	39	ЛН1	04	11
ГГ1	124	63	30	259	40	2	05	11
ИВ1	148	44	33	573	40	3	06	11
2	348	44	34	873	40	4	07	11
3	147	45	35	273	40	5	16	11
ИД1	141	41	37	—	40	6	366	12
3	154	41	38	—	40	8	—	11
4	155	42	КП1	150	46	10	05	11
5	156	43	2	153	46	ЛП4	17	11
6	42	43	5	152	47	5	86	19
7	138	43	7	151	47	7	450	11
10	145	43	11	257	47	8	125	11
14	139	44	12	253	48	9	07	11
18	247	44	13	298	48	10	365	12
ИЕ2	90	24	14	258	47	11	367	12
4	92	25	15	251	48	12	136	19
5	93	25	16	157	49	16	34	11
6	192	26	18	158	49	17	35	11
7	193	26	19	—	49	ЛР1	50	17
8	97	27	20	—	49	3	53	17
9	160	27	ЛА1	20	14	4	55	17
10	161	28	2	30	14	9	64	17
11	—	27	3	00	14	10	65	17
13	191	28	4	10	14	11	51	17
14	196	29	6	40	14	13	54	17
15	197	29	7	22	14	ПР6	184	56
16	168	29	8	01	14	7	185	56
17	169	29	9	03	14	РП1	170	55
18	163	28	10	12	14	3	172	56
19	393	30	11	26	14	РУ1	81	54
ИМ1	80	51	12	37	14	2	89	54
2	82	51	13	38	14	3	84	54
3	83	51	16	140	14	5	130	54
5	183	52	18	452	14	8	189	55
6	283	52	19	134	14	9	289	55
7	385	52	21	110	14	СП1	85	61
ИП2	180	58	22	20	14	ТВ1	72	22
3	181	59	23	03	14	6	107	23
4	182	60	24	10	14	9	112	23
5	280	58	ЛЕ1	02	16	10	113	23
6	242	13	2	23	16	11	114	24
7	243	13	3	25	16	15	109	24
9	384	53	4	27	16	ТЛ1	13	19
ИР1	95	31	5	28	16	2	14	19
8	164	36	6	128	16	3	132	19
9	165	36	7	260	16	ТМ2	74	21
11	194	32	ЛИ1	08	14	5	77	21
12	195	32	2	09	14	7	75	21
13	198	33	3	11	14	8	175	21
15	173	33	4	15	14	9	174	21
16	295	34	5	451	14	ТР2	279	20
17	2504	34	6	21	14			

МНЕМОНИЧЕСКИЕ ОБОЗНАЧЕНИЯ MNEMONIC DECISIONS

В	Высокий статический (входной или выходной) уровень
Н	Низкий статический уровень
х	Схема безразлична к любым сигналам на данном входе

A0—A3, Operand A

Слово, байт, операнд A для четырехразрядного арифметическо-логического устройства (АЛУ)

Parity, A = B

Выход равенства операндов A и B в АЛУ
A < B, A > B

Выходы неравенства операндов A и B в АЛУ

ALU, Aritmetic logic unit

Арифметическо-логическое устройство, АЛУ

A/S, Asynchro/Synchro

Вход переключения асинхронного и синхронного режимов

B0—B3, Operand B

Слово, байт, операнд B (для четырехразрядного АЛУ)

B/D, 2/10, Binary/Decimal

Вход переключения счета двоичного (B) на десятичный (D)

C, Clock input

Вход тактовых импульсов

CD, Count down

Вход тактовых импульсов для уменьшенного счета

CE, Clock enable

Вход разрешения тактовым импульсам

CEP, Count enable parallel

Вход параллельного наращивания числа разрядов счетчика

CET, Count enable trickle

«Трюковый» вход разрешения счета, необходимый при наращивании разрядности счетчиков

CLR, Clear

Вход сброса, очистки счетчика

C_{вх}, C_{ин}, Carry in

Вход для разряда переноса

C_н, Carry in

Вход переноса в сумматор

C_{n+1}, C_{n+4}, Carry out

Выходы переноса: от сумматора (C_{n+1}), от четырехразрядного АЛУ (C_{n+4})

C_{n+х}, C_{n+у}, C_{n+з}, Carry outputs

Выходы вспомогательных сигналов переноса от узла ускоренного переноса для АЛУ

CPU, Central processor unit

ЦПУ — центральное процессорное (обрабатывающее) устройство

C_{вых}, C_{out}, Carry out

Выход старшего разряда для переноса

CS, Chip select

Выбор кристалла; доступ к одной из микросхем, входящих в устройство

CU, Count up

Вход тактовых импульсов для увеличения счета

CRU, Carry lock ahead unit

Схема ускоренного переноса (СУП)

D-flip-flop, D-триггер,

D, Data input

Вход данных триггера, счетчика,

регистра

D0 — D3 — D_n, Parallel inputs

Входы параллельной загрузки данных в счетчики, регистры

DEMUX, Demultiplexer

Демультимплексор

DSI, Data serial input

Вход последовательных данных

DS, Data select

Вход выбора данных

DL, DR, Data left, data right

Входы последовательной загрузки данных слева и справа (в регистр)

DSL, DSR, Data shift left, data shift right

Входы для сдвига данных влево, вправо

DS0 — DS7, Data serial inputs

Входы данных последовательные (разряды 0...7)

E, Enable

Вход для сигнала разрешения

EC, Enable count

Вход разрешения счета

EE, Enable even

Вход разрешения, четный

EI, Enable input

Вывод микросхемы, по которому дается разрешение приему входных данных (разрешение входу); вывод стробирования входа

EIO, Enable input/output

Вывод для одновременного разрешения как по входу, так и по выходу

EO, Enable output

Вывод разрешения по выходу

FO — F3, Function outputs

Выходы функции, результата работы АЛУ

G, Carry generation

Вспомогательный сигнал переноса между АЛУ и СУП

GS, Group signal

То же, групповой сигнал

H, Histeresys input

Вход управления гистерезисом логического элемента

I/O, Input/Output

Один провод порта вход/выход

I1 — I16, Inputs 1 — 16

Входы 16-разрядного слова

JK-inputs, JK-flip-flop

Входы J и K управления триггером, JK-триггер

LSB, Least significant bit

Младший значащий разряд, МЗР

M, Mode control

Вход переключения режимов «Арифметика—логика» для АЛУ

MSB, Most significant bit

Старший значащий разряд, СЗР

MUX, Multiplexer, Мультиплексор

TC_д/TC_у, Terminal count down/up

Счет на уменьшение/увеличение

PI, Polarity input

Вход полярности

P, Carry propagation

Вспомогательный сигнал распространения переноса между АЛУ и СУП

PE, Parallel enable load

Вход разрешения параллельной загрузки

P/S, Parallel/serial

Вход переключения режимов работы: параллельного и последовательного

Q, Q̄, Outputs

Прямой Q и инверсный Q выходы

QCC, Q-output conversion complete

Выход завершения преобразования

Preset, Previous set

Предварительная установка

R, Reset

Асинхронный сброс данных триггера, счетчика, регистра

RA, RB, Read adress A and B

RD Read output, RE Read enable

Выход чтения, адреса чтения A и B

Вход разрешения чтения

RS, RS-flip-flop, RS-latch,

RS-триггер, RS-защелка

S, Set

Установка триггера, счетчика, регистра

SE, Set enable

Разрешение предварительной параллельной записи в счетчик, установки

SAR, Succesive apporoximation register

Регистр последовательного приближения РПП

SI, Serial input SIR, SIL,

Serial inputs right, SI left

Входы последовательные справа и слева

SR, Synchro reset

Вход сброса счетчика, регистра, синхронного с тактовым импульсом

SUB/SUM, Subtractor/Summator

Вычитатель/Сумматор

S0 — S3 — S_n, Select inputs

Входы выбора режимов работы

Σ₀ — Σ₅, Sum outputs

Выходы суммы

Σ₀ Σ₅ E, Sum odd, Sum even

Выходы сумм четности и нечетности

TC, terminal count

Выход окончания счета

T/C, Thru/complement

Вход переключения кодов:

прямой — дополнительный

U/D, Up/Down

Вход управления реверсивным счетчиком: больше/меньше

W, WA, WB WE, Wright input adresses

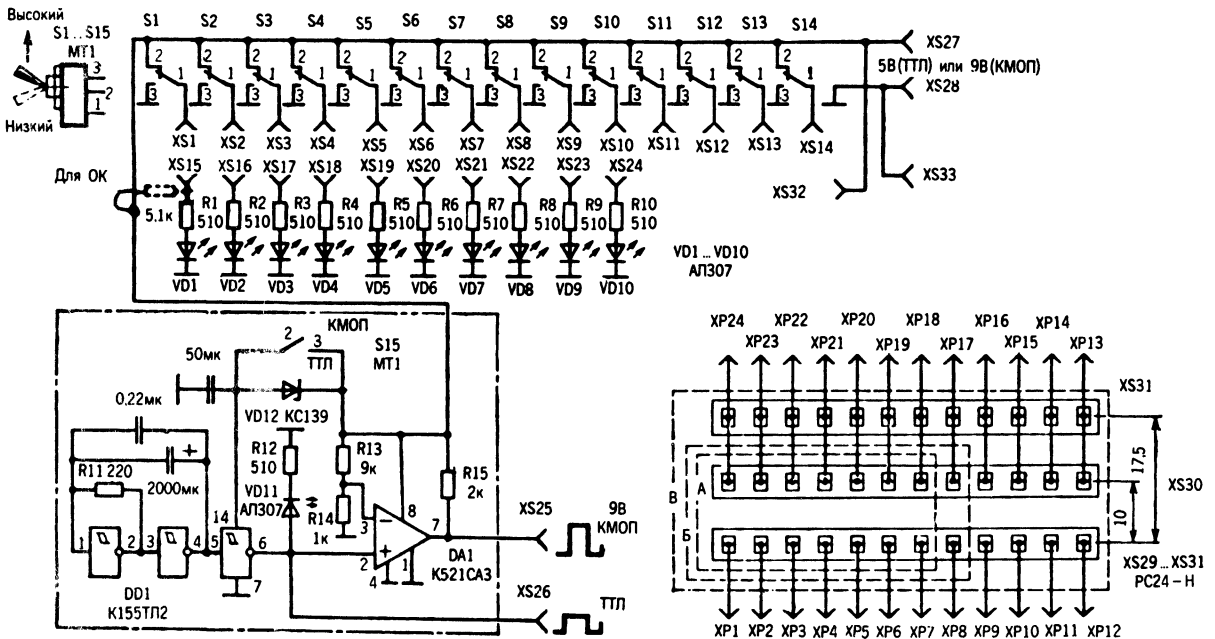
A, B enable

Вход записи в память адреса записи в память A и B, вход разрешения

Z-state Z-состояние разрыв входа

1. ПРИБОР ДЛЯ ИСПЫТАНИЯ МИКРОСХЕМ

Несмотря на большие старания авторов в подготовке материалов справочников, надо учесть, что однотипные микросхемы, изготавливаемые разными фирмами как "функциональные аналоги", могут работать по-разному. Совершенно необходимо испытать не только микросхемы, бывшие в употреблении, но и те, с которыми вы встречаетесь впервые.

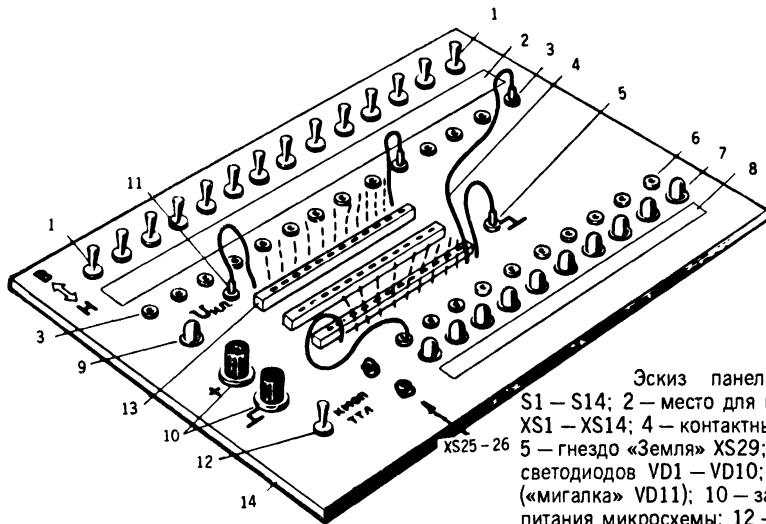


Для изготовления прибора потребуется: 11 светодиодов, 15 резисторов, две микросхемы: K155ТЛ2 и K521CA3, 3 конденсатора и стабилитрон KC139. Необходимы: 15 тумблеров (например, МТ1), а также комплект из 30 одинаковых гнезд XS и 24 штырьков для них XP — это могут быть пары "штырек-гнездо", взятые от старого разъема. Каждый штырек снабжается проводником (лучше МГТФ) длиной до 150 мм. Микросхемы (с выправленными и хорошо зачищенными выводами) будем устанавливать в три стандартные гребенки, например РС24 – Н, на одно из трех мест А, Б, В, отмеченных пунктиром. К выводам гребенок припаяны 24 провода со штырьками XP.

Тумблеры S1 ... S14 и гнезда XS1 ... XS14 расположены "в линию". На место 2 укрепите чистую полоску бумаги, где согласно описанию микросхемы под каждым тумблером напишите название входа. Например, для K155ИЕ9 надо занять 8 мест статических входов: DO, D1, D2, D3, R, CEP, CET, PE. Вход C присоединим к гнезду XS26, здесь тактовые импульсы ТТЛ. Оставшиеся шесть тумблеров и гнезд — свободны. Аналогично, на место 8 при-

клейте обозначения выходов. Здесь их пять: Q0, Q1, Q2, Q3, и TC, остальные пять светодиодов свободны. Тумблер на требуемом входе можно установить в положение "Высокий" или "Низкий". Светодиод будет загораться, если на обслуживаемом выходе окажется высокий уровень. Вывод 8 микросхемы ИЕ10 вставьте в гнездо XS33, а вывод 16 — в XS32.

Тактовый генератор секундных импульсов собран на триггере Шмитта ТЛ2. Он дает острые фронты, переключающие любую схему ТТЛ на инфранизкой частоте 1 Гц. Для испытаний логики КМОП компаратор K521CA3 увеличивает амплитуду этих импульсов до 9 В (гнездо XS25). Проверьте тактовый генератор. От внешнего источника подаем напряжение питания +5 В. Светодиод VD11 должен давать примерно 1 вспышку в секунду. Выключив питание, после проверки маркировки входов, выходов и схемы присоединения установите микросхему. Входными тумблерами согласно таблице состояний наберите статику нужного режима. Например, режим "счет" для ИЕ9: R = B, CEP = CET = B, PE = B. После каждой вспышки диода C (VD11)



Эскиз панели прибора для испытания микросхем: 1 — тумблеры S1 — S14; 2 — место для маркировки входов; 3 — ряд гнезд входных сигналов XS1 — XS14; 4 — контактный провод со штырем (всего 24 провода XP1 — XP24); 5 — гнездо «Земля» XS29; 6 — гнезда выходных сигналов XS15 — XS24; 7 — ряд светодиодов VD1 — VD10; 8 — место для маркировки выходов; 9 — светодиод («мигалка» VD11); 10 — зажимы питания XS27 и XS28; 11 — гнездо XS30 для питания микросхемы; 12 — переключатель S15; 13 — контактные колодки микросхем XS29 — XS31; 14 — панель прибора

значение слова Q0 ... Q3 должно увеличиваться на "единицу". Переключая тумблеры D0 ... D3, убедитесь, что загрузки в счетчик не происходит. По окончании счета до 15 загорится светодиод ТС. Далее счет продолжается от нулевого состояния Q = 0000, ТС = 0. Проверьте все четыре режима для счетчика IE9. Секундный тактовый интервал вполне достаточен для анализа событий.

Для проверки микросхем с открытым коллекто-

ром требуется временно припаивать резисторы (номинал 5,1 кОм) между гнездами из группы XS15 и XS24 и шиной питания +5 В (от XS27). После испытаний эти резисторы отсоедините, чтобы светодиоды не "тпели".

Некоторые микросхемы КМОП не работают при питании 5 В. Разомкните тумблер S15, подайте от внешнего источника питания 9 В. Остальная методика испытаний не меняется.

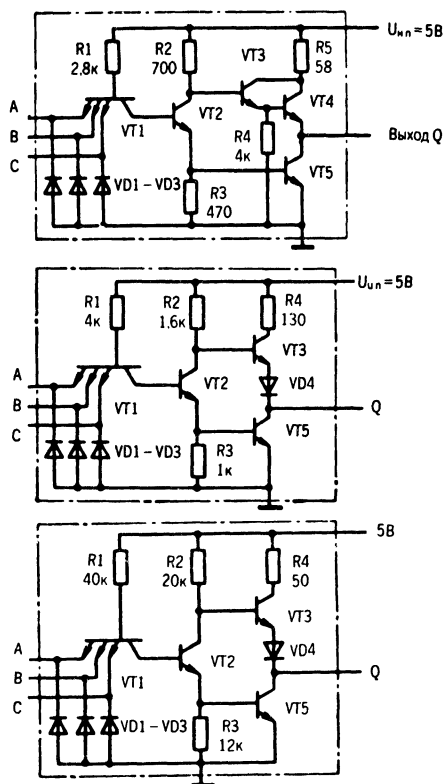
2. СЕРИИ МИКРОСХЕМ ТТЛ

Серия K131 имеет очень большое потребление мощности питания 22 мВт на логический элемент. Время задержки для 70-х годов считалось очень хорошим: 6 нс/ЛЭ. Энергия, потребляемая для переноса 1 бита данных, была очень велика 132 пДж. По этой причине серия K131 (series 74H) не выпускается.

Серия K155 (series 74) называется стандартной, она активно применяется до сих пор из-за широкой номенклатуры и малой себестоимости, хотя энергия потребления чрезмерна 90 пДж. Отличие в схеме ЛЭ — одиночный выходной транзистор VT3, но с диодом сдвига уровня "единицы" VD4, чем гарантируется совместимость потенциала "1" с другими сериями.

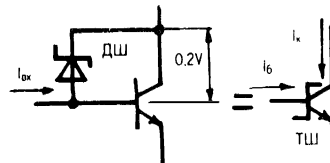
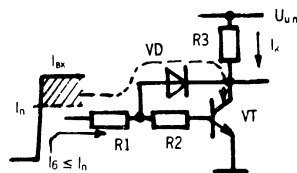
Серия K134 (series 54L) построена на милливаттных ЛЭ и выпускалась только в плоском корпусе. Быстродействие ее очень невелико (задержка 33 нс).

В начале 70-х годов эти первые серии подвергались модернизации. Технологи применили в полупроводниках эффект Шоттки. Быстродействие интегральных транзисторов сейчас приблизилось к пределу для кремния — 6 ГГц.

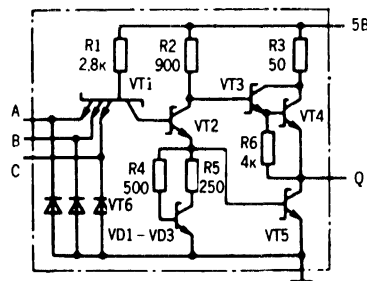


Транзистор Шоттки в глубокое насыщение не попадает. Его время задержки выключения сведено к нулю. В ненасыщаемом элементе избыточный входной ток (заштрихован) стекает мимо базы через диод VD, далее через коллектор транзистора на землю. Диод откроется падением напряжения на R2 по достижении порогового тока I_n .

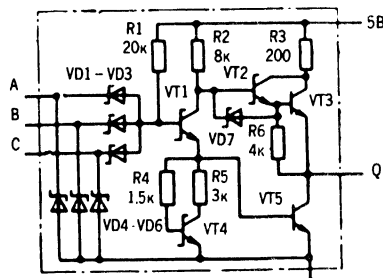
Учтем, что эффект Шоттки уменьшает пороговое напряжение диода до 0,2 ... 0,3 В. Для транзистора Шоттки ТШ поэтому минимальное напряжение коллектор-база удерживается на уровне 0,2В, вследствие чего выходное напряжение "нуля" для ТТЛ Шоттки возросло незначительно.



Серия K531 (Series 74S) — вариант серии K131. Номиналы резисторов (т.е. ток потребления) почти не изменились, однако задержку "единицы" транзисторы Шоттки уменьшили в 2 раза до 3 нс/ЛЭ.

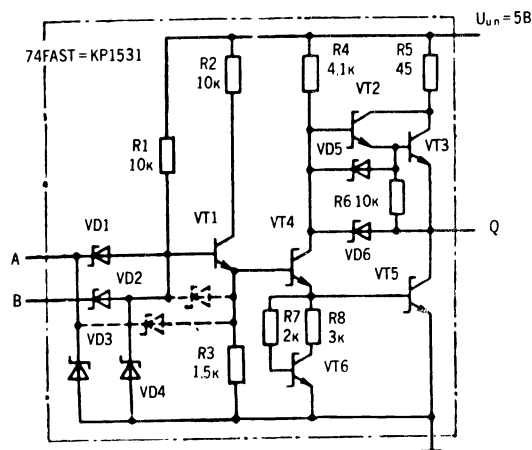


Серия K555 (series 74LS) "объединила" малое потребление серии K134 (номиналы R уменьшены в 2 раза, потребление 2 мВт/ЛЭ) и приемлемое быстродействие серии K155 (способствует эффект Шоттки). Эти две первые серии ТТЛШ уменьшили энергию на 1 бит в 2 раза.

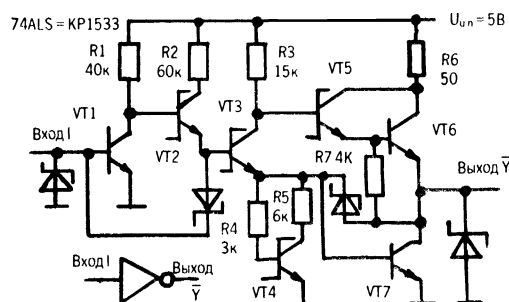


Серии K1531 (series 74F) и K1533 (series 74ALS) потребляют энергию на 1 бит в 20 раз меньшую, чем у старых серий. Здесь использованы интегральные ТШ с очень малым объемом коллекторной области, чем реализовано практически предельное быстродействие. Чтобы сохранить значительную нагрузочную способность при безопасной плотности коллекторного тока, входной ток низкого уровня уменьшен в 5 ... 10 раз (0,4 мА для K1531 и 0,1 ... 0,2 мА для K1533 вместо 1,6 мА для K155).

В схему ЛЭ добавлен после "логической" матрицы диодов эмиттерный повторитель VT1. Резисторы R1 и R3 помогают зафиксировать пороговое напряжение открывания на уровне 1,5 В. Это благоприятно для увеличения помехоустойчивости "милливаттных" ЛЭ.



Микросхемы как отечественного ряда серий ТТЛ, так и зарубежного, имеющие одинаковые обозначения по статическим параметрам и цоколевке (кроме K134, т.е. 54 L), взаимозаменяемы. Недостающие в комплектации микросхемы ТТЛ можно "занимать" из других серий.

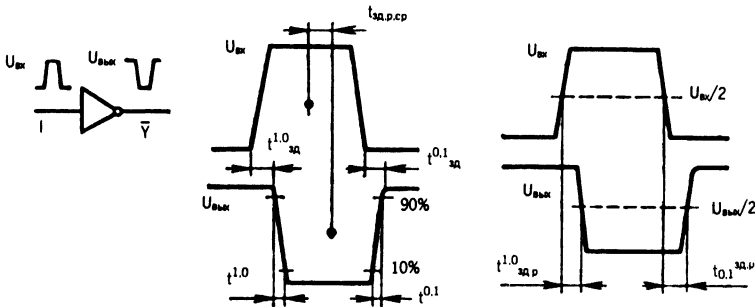


Взаимная нагрузочная способность логических элементов ТТЛ разных серий

Нагружаемый выход	Число входов-нагрузок из серий			Нагружаемый выход	Число входов-нагрузок из серий		
	K555 (74LS)	K155 (74)	K531 (74S)		K555 (74LS)	K155 (74)	K531 (74S)
K555	20	5	4	K155, буферная	60	30	24
K555, буферная	60	15	12	K531	50	12	10
K155	40	10	8	K531, буферная	50	37	30

Динамические параметры микросхем ТТЛ

Серия ТТЛ		Параметр			Нагрузка	
Отечественная	Зарубежная	$P_{\text{пот}}$, мВт	$t_{\text{зд}}$, р, нс	$\Sigma \text{пот}$, пДж	$C_{\text{н}}$, пФ	$R_{\text{н}}$, кОм
K134	74L	1	33	33	50	4
K155	74	10	9	90	15	0,4
K131	74Н	22	6	132	25	0,28
K555	74LS	2	9,5	19	15	2
K531	74S	19	3	57	15	0,28
K1533	74ALS	1,2	4	4,8	15	2
K1531	74F	4	3	12	15	0,28



3. БУФЕРНЫЕ И ШИННЫЕ УСИЛИТЕЛИ

Буферные усилители БУ логической функции не выполняют. БУ формируют цифровые сигналы и обслуживают "энергоемкие" цифровые нагрузки. Это провода шин данных ШД, состоящие из токоведущих дорожек печатной платы, число которых

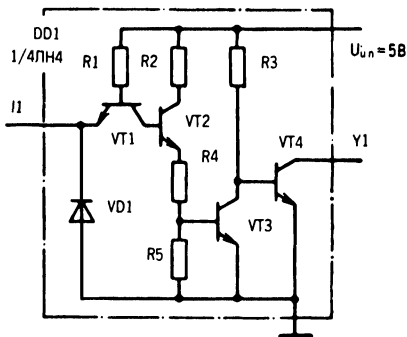
равно длине цифровых слов-байтов. К проводу ШД подключено много цифровых входов и выходов, из-за чего сила тока может достигать десятков миллиампер.

Буферные и шинные усилители

Серия	Инвертор	Номер микросхемы										
		1	2	3	4	5	6	8	10	БУ	16	17
K155	ЛН	+	+	+	+	+				ЛП		
K555		+	+				+					
KM555		+					+					
K531		+	+									
KP1533		+	+					+	+		+	+
KP1531		+										
74	—	04	05	06	07	16	21		1005	74ALS	1034	1035

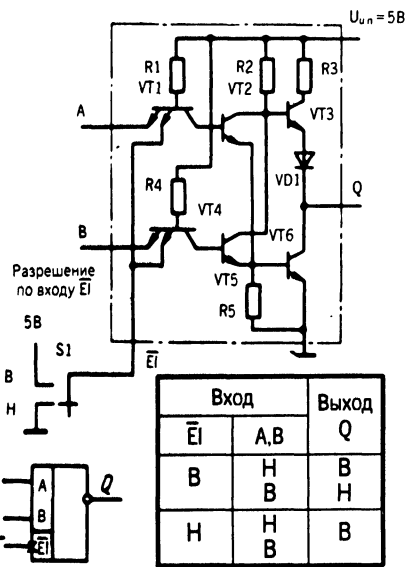
Микросхема K155ЛН4 имеет БУ без инверсии. Остальные микросхемы ЛН содержат БУ — инверторы. Кроме микросхемы ЛН1 (двухтактный выход), выходы других микросхем ЛН имеют открытые коллекторы ОК. Время задержки распространения: K155ЛН1 — 22 нс, K555ЛН1 — 15 нс, K531ЛН1 — 5 нс. Стекающий выходной ток одного инвертора:

16, 8 и 20 мА соответственно. Ток потребления для этих микросхем: 33, 66 и 54 мА, если на всех входах напряжение 4,5 В. Ток потребления при всех низких входных уровнях уменьшается в два раза. Для БУ с ОК (например, ЛН2) токи потребления такие же, но время задержки возрастает в 1,5 раза.

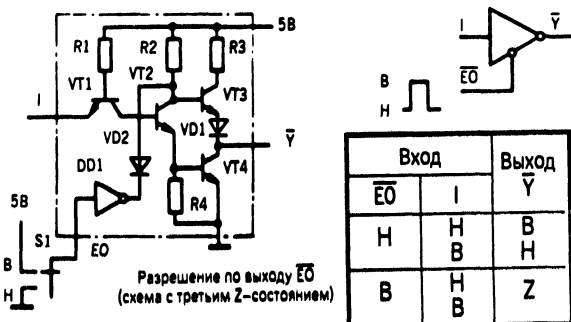


Микросхема K155ЛН5 имеет 6 инверторов с ОК, причем выходное напряжение ОК можно повысить до 15 В, применив внешний источник питания. БУ K155ЛП9 имеют выходы с ОК.

Буферные и шинные усилители снабжаются выводами разрешения приема сигналов по входам EI – enable input и разрешения передачи в ШД – EO – enable output. Здесь показано устройство входа EI, управляемого инверсной командой на запрет приема. Если подать сигнал EI = Н, входные токи транзисторов VT1 и VT4 потекут на землю, следовательно, входы сигналов А и В никакую комбинацию уровней высокого В и низкого Н принять не могут. На выходе фиксируется Q = В; дав сигнал EI = В, разрешаем прием по входам А и В.

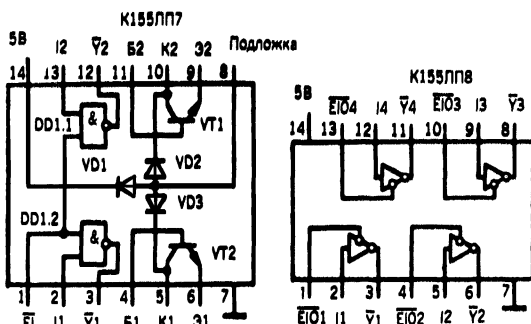


Для передачи единиц и нулей в один провод ШД от многих источников наиболее удобны БУ с Z – состоянием выходов. В стандартную схему ТТЛ добавлены инвертор DD1 и диод VD2. От переключателя S1 даем сигнал EO = В, на выходе DD1 появится уровень Н, на коллекторе VT2 окажется потенциал менее 1В и транзистор проводить ток не сможет. Поскольку на R4 падение напряжения равно нулю, транзисторы VT3 и VT4 базовые токи не получают. Они оба разомкнуты и выходной провод Q как бы "висит" в воздухе. Выход Q перешел в состояние Z с выходным сопротивлением – сотни килоом. Если дать сигнал разрешения EO = Н, инвертор от входа I до выхода Y работает как обычно. Сигнал от разрешенного выхода Y не влияет на выходы усилителей, находящихся в состоянии Z.



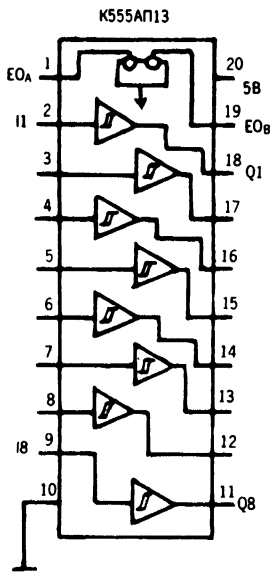
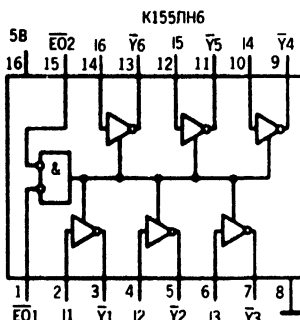
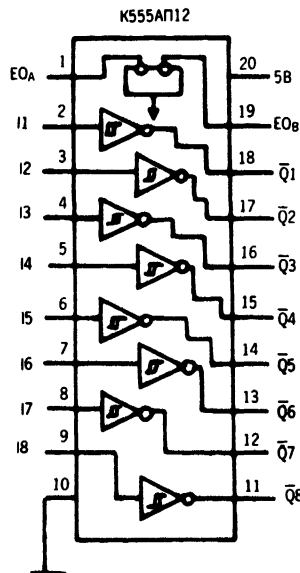
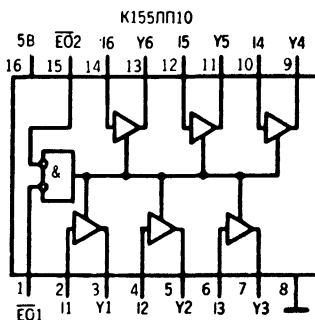
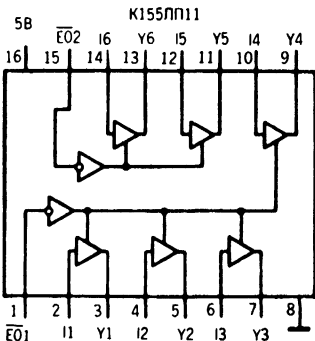
Чтобы по сигналу EO = Н к проводнику ШД подключился выход только одного ЛЭ, перед приходом этой команды следует выдерживать защитный интервал времени. Сигналы разрешения не должны перекрываться. В момент смены адресов EO не должно быть помех. Последовательность адресов следует подготовить, загрузив ее в буферный регистр.

Микросхема ЛП7 имеет строб-вход EI, а у ЛП8 такой вывод общий как для входа, так и выхода EI0 (вход I запрещается, выход Y переходит в Z).



Состояния буферных элементов микросхемы K155ЛП8

Вход		Выход \bar{Y}
$\bar{E}O$	I	
H H B	H B X	H B Z



Вход			K555АП12	K555АП13
			$I_1...I_8$	$Q_1...Q_8$
$E O_A$	$E O_B$			
H	H	H	B	H
H	H	B	H	B
X	B	X	Z	Z
B	X	X	Z	Z

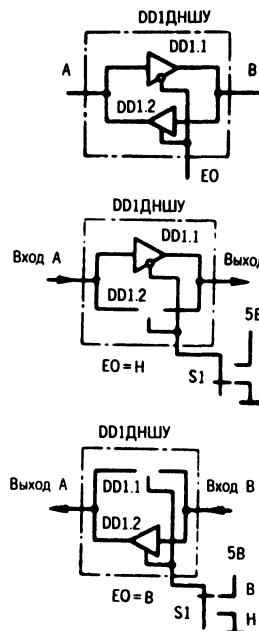
Состояния в микросхемах K155ЛП10 и K155ЛН6

Вход			Выход	
$\bar{E}O1$	$\bar{E}O2$	I	Y(ЛП10)	\bar{Y} (ЛН6)
H H B	H H B	H B X X	H B Z Z	B H Z Z

Микросхемы ЛП10, ЛН6, АП12 и АП13 различаются числом каналов, причем структура и цоколевка АП12, АП13 удобнее для печатной платы. Однако двухвходовая логика управления И у них

одинаковая. Управление в ЛП11 раздельное 2 + 4: при $E O2 = B$ размыкаются выходы Y5 и Y6, при $E O1 = B$ разомкнуты Y1 ... Y4.

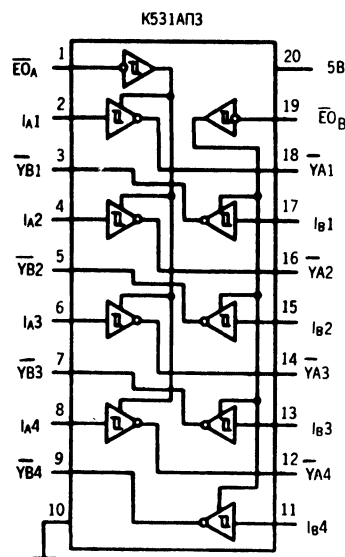
У ЛЭ группы АП передаточная характеристика триггера Шмита с гистерезисными порогами.

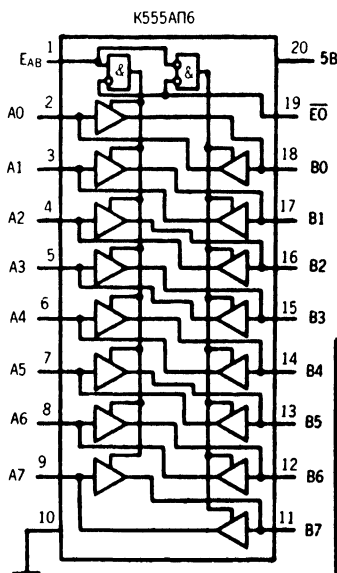
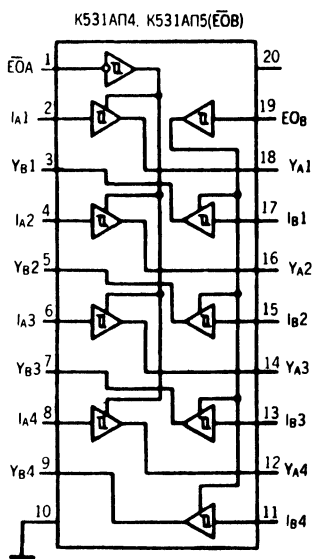


Если в проводник ШД установить двухнаправленный ДНШУ, то по команде можно разрешить передачу данных слева направо или наоборот. БУ DD1.1 и DD1.2 имеют взаимно инверсные входы $E O1$ и $E O2$ соответственно. Если на общий вывод дано $E O = H$, провод передает сигнал через DD1.1 слева направо, при $E O = B$ через DD1.2 передаем сигнал справа налево. Четырехканальные ДНШУ получаются из микросхем АП3 и АП4 (у АП4 соединяем входы $E O_A$ и $E O_B$, между входами АП3 включаем инвертор).

Состояния в K531АП3

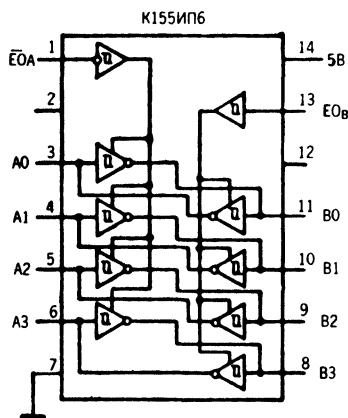
Вход				Выход	
$\bar{E}O_A$	I_A	$\bar{E}O_B$	I_B	\bar{Y}_A	\bar{Y}_B
H H B	H B X	H H B	H B X	B H Z	B H Z





Состояния в К531АП4

Вход				Выход	
\overline{EO}_a	I_a	EO_b	I_b	Y_a	Y_b
Н	Н	В	Н	Н	Н
Н	В	В	Н	В	В
В	В	В	Н	В	В
В	В	В	В	В	В

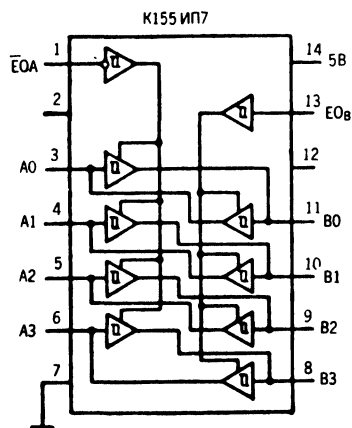


Состояния ДНШУ в К555АП6

Вход		Выход	
\overline{EO}	E_{AB}	A_n	B_n
Н	Н	$A = B$	Вход
Н	В	Вход	$B = A$
В	х	З	З

Состояния ДНШУ в К155ИП6 и К155ИП7

Вход		Выход			
		ИП6		ИП7	
\overline{EO}_a	\overline{EO}_b	A_n	B_n	A_n	B_n
Н	Н	Вход	$B = \overline{A}$	Вход	$B = A$
В	Н	З	З	З	З
Н	В	Недопустимо	Недопустимо	Недопустимо	Недопустимо
В	В	$A = \overline{B}$	Вход	$A = B$	Вход



Недостаток микросхем ИП6 и ИП7 в том, что возможен прием опасного сигнала управления $\overline{EO}_a = Н$ и $EO_b = В$, когда все усилители открыты. Микросхема ИП6 потребляет ток 28 мА, когда на входах сигналы Н, и 33 мА в режиме З. Для ИП7 аналогичные токи 40 мА, 43 мА. Время выключения от уровня Н к состоянию З — 35 нс.

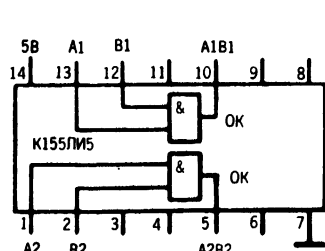
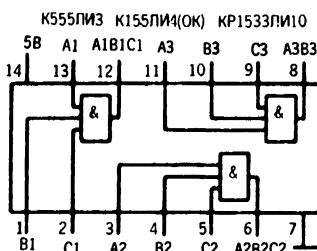
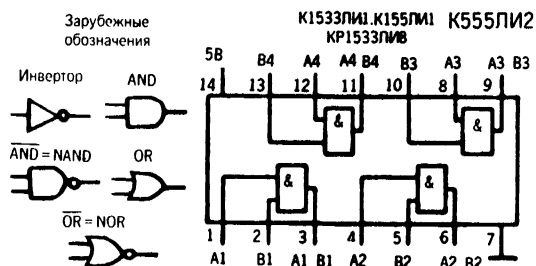
У микросхемы АП6 нет недопустимых сигналов управления, она потребляет ток 90 мА (все входы Н) и 95 мА (режим З). Задержка выключения в З — состояние 30 ... 40 нс. Микросхема К555 (К1531) АП5 соответствует микросхеме АП4, но вывод 19 — это вход инверсного управления \overline{EO}_b .

4. МИКРОСХЕМЫ: И, И, ИЛИ, И/ИЛИ

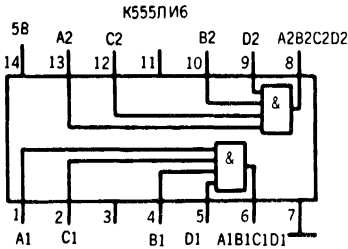
Простейший элемент, выполняющий логическую функцию И, AND в схемотехнике ТТЛ — это двух-эмиттерный интегральный транзистор. Если добавить оконечный инвертор, получится ЛЭ с инверсией И, т.е. НЕ-И или NAND.

Функцию ИЛИ, OR или NOR выполняет параллельное включение двух транзисторов.

Если входные транзисторы двух или более эмиттерные, получится суперпозиция схем И/ИЛИ (AND/NOR).



Микросхемы И ЛИ4 и ЛИ5 имеют выходы с открытым коллектором. Время задержки распространения для элементов И составляет 7,5 нс, 20 нс и 27 нс по сериям К531, К555 и К155. В аналогичном порядке: допустимый стекающий в выход ток нулевого уровня составляет 20 мА, 8 мА и 16 мА. Потребляемые микросхемой И токи различны, если на входах все "1" и все "0": $I_n(0) = 1,6I_n(1)$, причем значения $I_n(0)$ составляют 30 и 20 мА по сериям К531, К555 и К155.



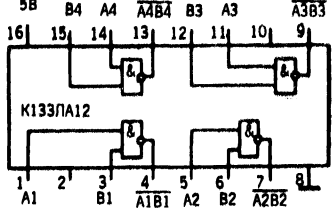
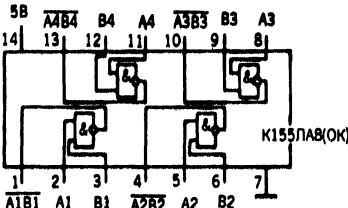
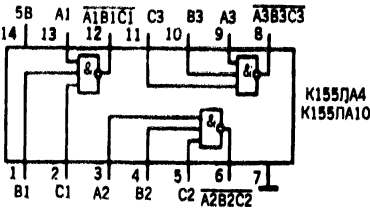
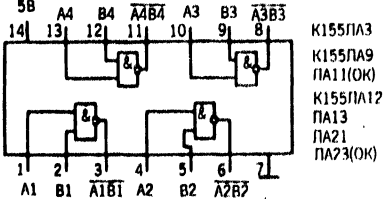
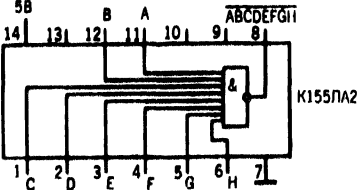
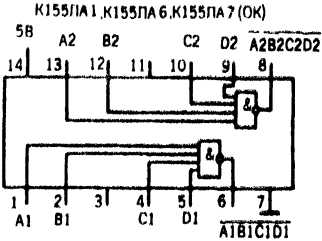
Микросхемы ТТЛ И (без инверсии)

Серия	Обозначение	Номер микросхемы							
		1	2	3	4	5	6	8	10
K155	ЛИ	+			+	+			
K555		+	+	+	+		+		
KM555		+		+	+		+		
K531		+		+	+				
KP1531		+		+	+				
KP1533		+	+	+	+		+	+	+
74	—	08	09	11	15	75451	21	1008	1011

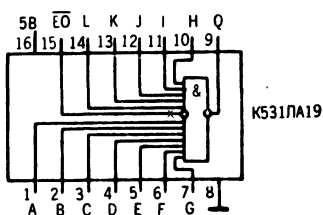
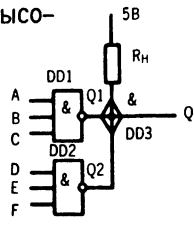
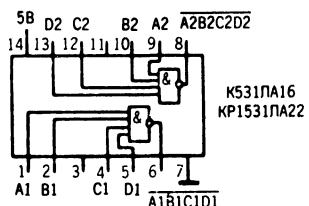
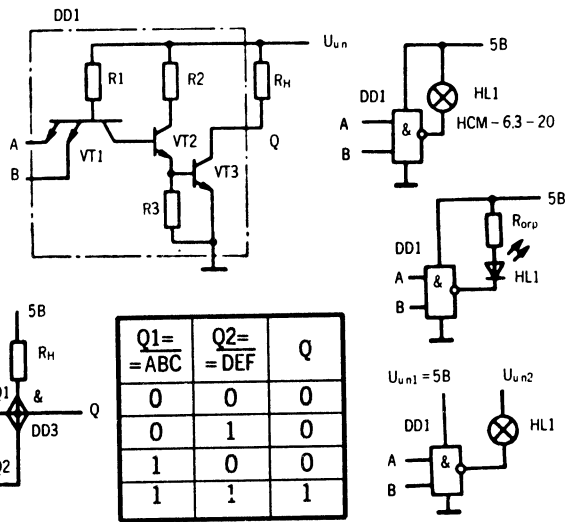
Набор микросхем И достаточно широк как по К155ЛА18 имеет мощный выход с ОК. Инвертор логическим, так и по энергетическим возможностям. Здесь есть микросхемы с открытым коллектором, а также мощные. Магистральный усилитель 15 нс (нагрузка 15 пФ). При $\overline{E\bar{O}} = H$ выполняется К531ЛА16 может работать на нагрузку 50 Ом, логика И от 12 логических входов.

Микросхемы ТТЛ И

Серия	Обо- значе- ние	Номер микросхемы																		
		1	2	3	4	6	7	8	9	10	11	12	13	16	18	19	21	22	23	24
K155 KM155 K555 KM555 K531 KP1533 KP1531	ЛА	+	+	+	+	+	+	+		+	+	+	+		+					
		+	+	+	+	+	+	+		+	+	+	+							
		+	+	+	+	+	+			+	+	+	+							
		+	+	+	+					+		+	+							
		+	+	+	+		+		+			+	+			+				
		+	+	+	+		+	+	+	+				+			+	+	+	+
		+		+	+															
74	—	20	30	00	10	40	22	01	03	12	26	37	38	140	75 452	134		1020	1003	1010

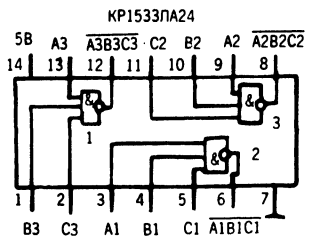


Микросхемы с ОК ЛА6, 7, 8, 9, 10, 13, 23 обслуживают индикаторы: лампочки, светодиоды, реле, либо выходы их соединяются в общей точке Q, где выполняется операция И (псевдоэлемент). Выходы ОК в ряде случаев пригодны для присоединения к проводам шины данных. Нагрузка ОК может получать ток питания от источника с более высоким напряжением. Чтобы избежать затягивания среза выходного импульса, резистор нагрузки должен иметь минимальный номинал (сотни Ом). Высокоомный резистор экономит ток потребления.



Состояния И K531ЛА19

Вход		Выход \bar{Q}
D0..D11	$\bar{E}0$	
B..B	H	H
B..H	H	B
(один H)	B	Z
X..X	B	Z

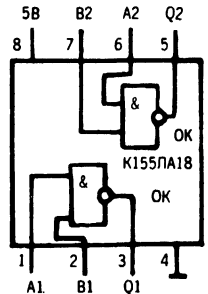


Микросхемы ТТЛ И

Параметр		ЛА1				ЛА2			ЛА3				ЛА4			
		K155	K555	K531	ALS	K155	K555	ALS	K155	K555	K531	ALS	K155	K555	K531	ALS
$I_{вых}^0$, МА	A	16	8	20	15	16	8	15	16	8	20	50	16	8	20	112
$I_{пот}^1$, МА	B	4	0,8	8	0,4	2	0,5	0,36	8	1,6	16	0,85	6	1,2	12	0,6
$I_{пот}^0$, МА	C	11	2,2	18	1,5	6	1,1	0,9	12	4,4	36	3	16,5	3,3	27	2,2
$t_{зд.р}^{0,1}$	D	22	15	4,5	11	22	15	12	22	15	4,5	11	22	15	4,5	11
$t_{зд.р}^{1,0}$	E	15	15	5	10	15	20	10	15	15	5	8	15	15	5	10

	ЛА6*		ЛА7**			ЛА8*		ЛА9*			ЛА10*			ЛА11	
	K155	K555	K555	K531	ALS	K155	ALS	K555	K531	ALS	K155	K555	ALS	K155	K555
A	48	24	8	20	18	16	15	8	20	15	16	8	15	16	8
B	8	1	0,8	6,6	0,4	6	0,85	1,6	13,2	0,85	6	1,4	0,6	8	1,6
C	27	6	2,2	18	1,5	22	3	4,4	36	3	16,5	3,3	2,2	22	4,4
D	22	24	32	7,5	45	45	54	32	7,5	54	45	32	54	24	32
E	15	24	28	7	18	15	28	28	7	22	15	28	18	17	28

	ЛА12			ЛА13*			ЛА16	ЛА19	ЛА21	ЛА22	ЛА23***	ЛА24
	K155	K555	K531	K155	K555	K531	K531	K531	ALS=КР/КФ 1533****			
A	48	24	60	48	24	60	60	20	30	15	15	30
B	15,5	2	36	8,5	2	36	18	5	1,6	0,8	1,6	1,2
C	54	12	80	54	12	80	44	10	7,8	3,9	7,8	5,8
D	22	24	6,5	22	32	6,5	6,5	6	7	7	12	7
E	15	24	6,5	18	28	6,5	6,5	7	8	8	33	8

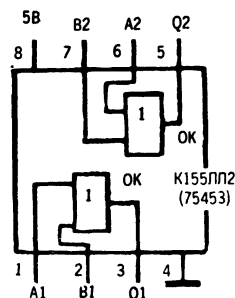
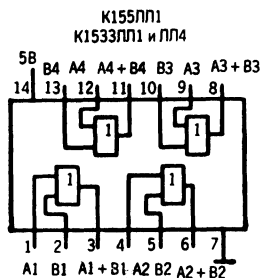
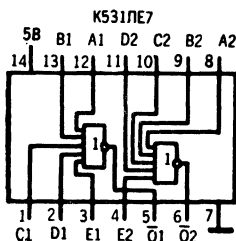
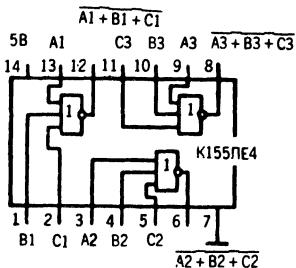
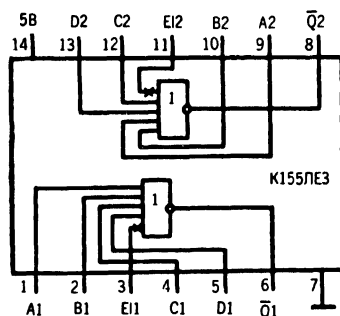
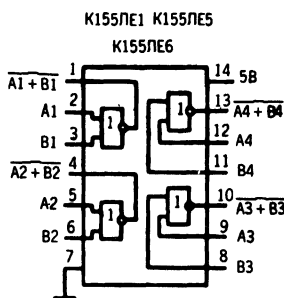
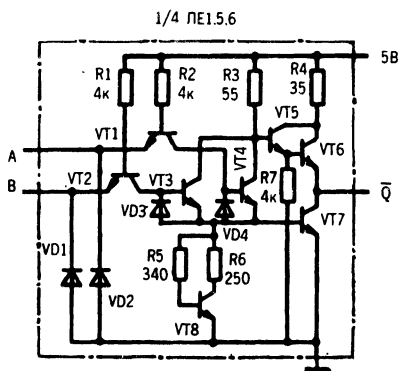
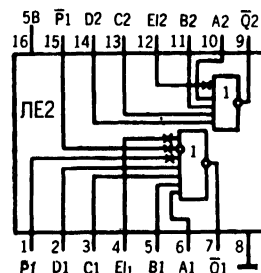
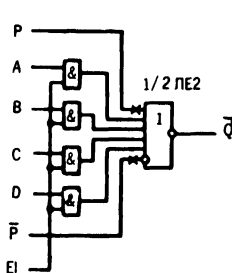


* Выходы с открытыми коллекторами
** Буферная микросхема
*** Буферная микросхема, выходы с открытыми коллекторами
**** КФ-корпус SMD

Микросхемы ТТЛ ИЛИ /ИЛИ

микросхемы К155ЛЛ1, К155ЛЛ2, К155ЛЛ3														
Серия	ИЛИ	1	2	4	ИЛИ	Номер микросхемы								
						1	2	3	4	5	6	7	10	11
K155 KM155 K555 KM555 K531 KP531 KP1533 KP1531	ЛЛ	+	+		ЛЕ	+	+	+	+	+	+			
						+		+						
						+		+						
						+						+		
		+		+		+			+				+	+
						+								
74	—	32	75 453	1032	—	02	23	25	27	28	128	260	1002	

Микросхемы ИЛИ кроме стандартных исполнений имеют и усиленные варианты ЛЕ5 и ЛЕ6 (ток нагрузки до 70 мА). Имеются микросхемы с выводами разрешения приема данных, а также с выводами Р для расширения (наращивания) числа входов. Микросхемы ИЛИ — ЛЛ1 и ЛЛ2. Последняя — с мощными выходами ОК.



Микросхемы ТТЛ ИЛИ

Параметр	ЛЕ1			ЛЕ2*		ЛЕ3*		ЛЕ4		ЛЕ5**		ЛЕ6**		ЛЕ7		ЛЛ1***			ЛЛ4***	
	K155	K555	K531	K155	K155	K155	K555	K155	K555	K155	K155	K531	K155	K555	K531	K155	K555	K531	КР/КФ 1533	
$I_{вх.}^0$, мА	16	8	20	16	16	16	8	48	48	20	16	8	20	30	30					
$I_{пот.}^1$, мА	16	3,2	29	16	16	16	4	21	21	29	22	6,2	32	4	5					
$I_{пот.}^0$, мА	27	5,4	45	19	19	26	6,8	57	57	45	38	9,8	68	4,9	10,6					
$t_{зд.р.}^{0,1}$, нс	15	15	5,5	22	22	15	15	15	15	5,5	15	22	7	12	9					
$t_{зд.р.}^{1,0}$, нс	15	15	5,5	15	15	11	15	18	18	6	22	22	7	14	12					

- * Со входами разрешения
- ** Буферные микросхемы
- *** Без инверсии

Микросхемы ТТЛ И/ИЛИ

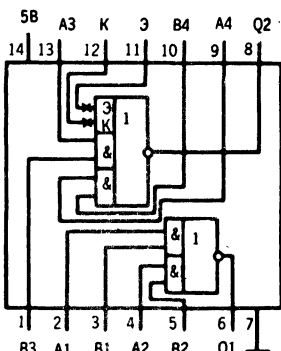
Серия	Обозначение	Номер микросхемы						
		1	3	4	9	10	11	13
K155	ЛР	+	+	+				
KM155		+	+	+				
K555			+	+				
KM555							+	+
K531					+	+	+	+
KP1533				+			+	+
KP1531					+			
74	—	50	53	55	64	65	51	54

Сложная логическая функция И/ИЛИ выполняется микросхемой ЛР, либо двумя элементами И, имеющими вспомогательные выходы К и Э. Соединив одноименные выходы К и Э двух элементов, получим два логических выхода $\bar{Q}1$ и $\bar{Q}2$ с функцией И/ИЛИ.

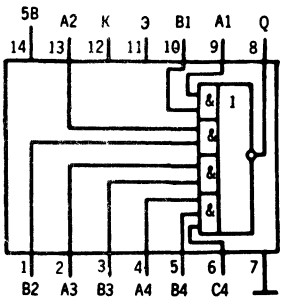
Параметр	ЛР1*		ЛР3*		ЛР4*		ЛР9	ЛР10**
	K155	K155	K555	K155	K555	K531	K531	
$I_{вх}^0$, МА	16	16	8	16	8	20	20	
$I_{пот}^1$, МА	8	8	1,6	6	0,8	12,5	11	
$I_{пот}^0$, МА	14	9,5	2	12	1,3	16	16	
$t_{зд.р.}^{0,1}$, НС	22	22	20	22	20	5,5	7,5	
$t_{зд.р.}^{1,0}$, НС	15	15	20	15	20	5,5	8,5	

* Со входами расширения

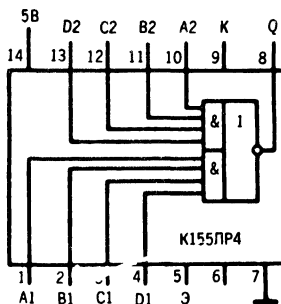
** Выходы с открытыми коллекторами



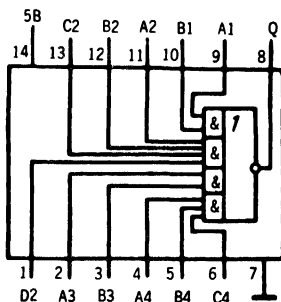
K155LP1



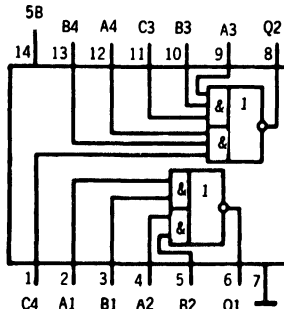
K155LP3



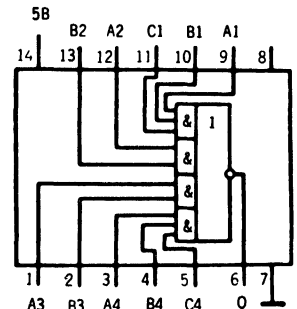
K155LP4



K531LP9
K531LP10

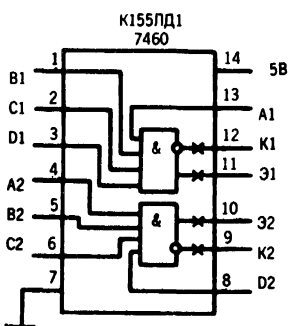


K555LP11

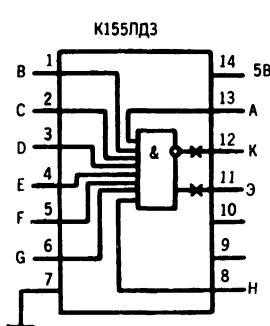


K555LP13

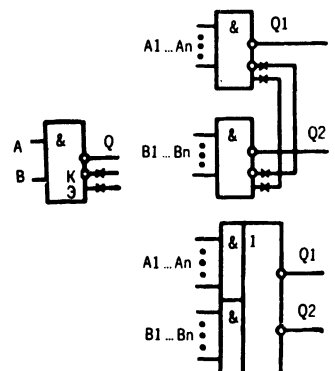
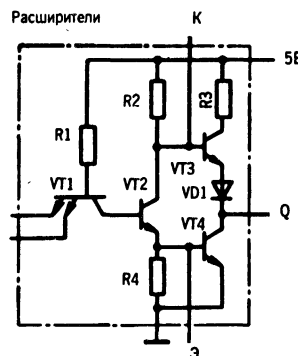
Элементы с очень большим числом входов (необходимы не часто) можно сделать из специальных расширителей ЛД1 и ЛД3.



K155LD1
7460



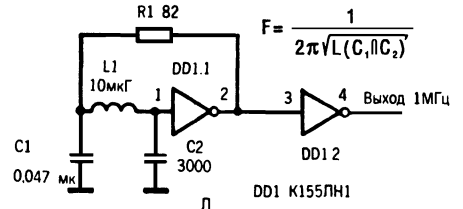
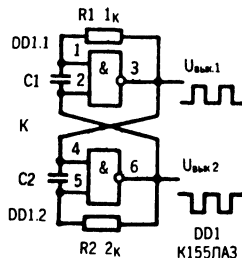
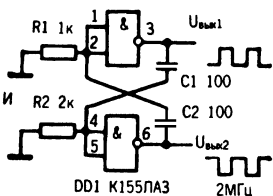
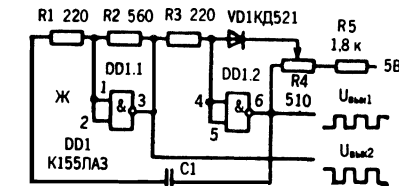
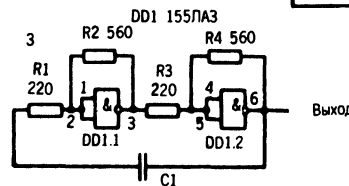
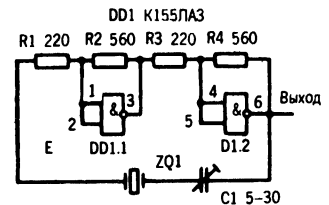
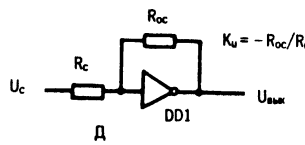
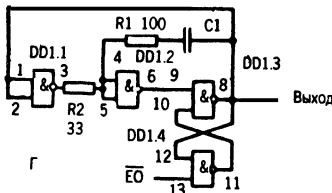
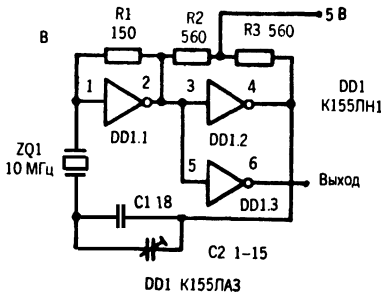
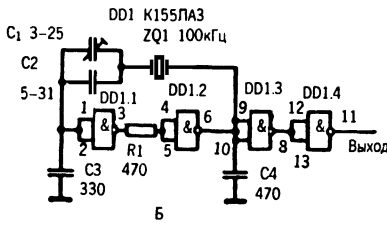
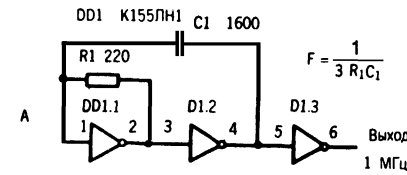
K155LD3



5. АВТОГЕНЕРАТОРЫ НА МИКРОСХЕМАХ ТТЛ

На логических элементах ТТЛ можно делать генераторы с выходной частотой, превышающей 30 МГц. Линейка ЛЭ должна быть неинвертирующей, хотя бы один ЛЭ надо вывести в линейный режим.

Два инвертора в схеме А образуют простейшее кольцо. Элемент DD1.3 — буферный, DD1.1 — линейный усилитель. Схемы Б, В — автогенераторы с пьезорезонатором. Схема Г снабжена RS — защелкой. Генерация в линейке DD1.1 ... DD1.3 разрешена, если на ЕО записать ноль. Импульс "единица" переключит триггер, генерация выключится. Каскад Д — это усилитель-инвертор, схемы Е — З показывают его применение. Можно сделать двухконденсаторные мультивибраторы И, К, где различие номиналов C1 и C2 позволит изменить скважность. Конденсаторы выбираем с номиналами 50 мкФ ... 10 пФ, частота будет в пределах 1 Гц ... 10 МГц. Инфракрасные генераторы удачнее получатся на ЛЭ серии КР1533. Автогенератор Л, снабженный LC — контуром, дает хорошую стабильность частоты.



6. ТРИГГЕРЫ ШМИТТА

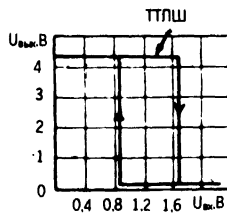
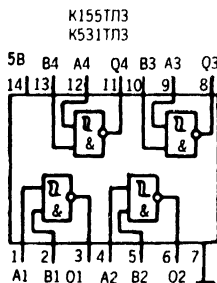
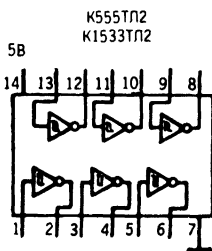
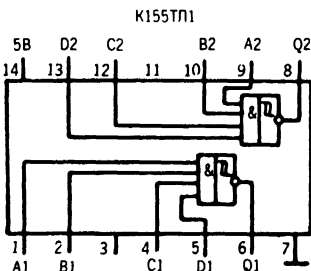
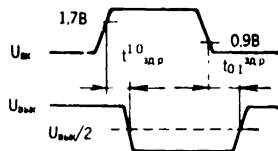
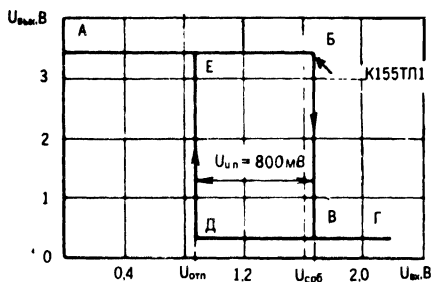
Микросхемы ТТЛ особенно "мощных" серий К131 и К531 дают в провод питания большие помехи ("борода" на питании). Многие из этих мощных схем поэтому очень критичны к чистоте тактового импульса (например К531ИЕ16 и ИЕ17). Для очистки сигнала от помех и калибровки цифрового импульса необходимо применять ЛЭ — триггеры Шмитта. Особенность схемы — двухпороговая гистерезисная переключающая характеристика, обусловленная слабой внутренней положительной связью. Скорость импульсных перепадов на выходе

Микросхемы ТТЛ (логические элементы — триггеры Шмитта)

Серия	Обозначение	Номер микросхемы		
		1	2	3
К155 KM155 К555 KM555 К531 КР1533	ТЛ	+		+
		+	+	
			+	+
74	—	13	14	132

ТШ никак не зависит от скорости изменения входного сигнала. Моменты срабатывания и отпускания однако определяются уровнями входного сигнала $U_{срб}$ и $U_{отп}$. Порог включения составляет 1,7 В, отпускания — 0,9 В. Итого гистерезис составляет 0,8 В, зона его симметрична относительно порога обычных ТТЛ, т.е. $1,3 \pm 0,4$ В.

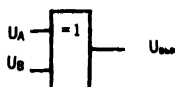
Помехи, не выходящие за эти пределы, триггер Шмитта игнорирует. Время задержки для фронта и среза составляют 20 ... 30 нс (К555). Триггеры Шмитта — основа ДНШУ. Без ТШ триггеры, счетчики и регистры ТТЛ не запускаются на инфрачистотах (менее 1 Гц).



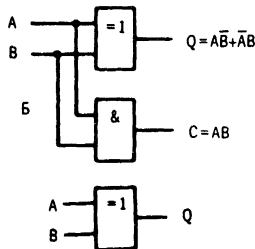
7. ИСКЛЮЧАЮЩЕЕ ИЛИ

Логический элемент "Исключающее ИЛИ" (exclusive OR, сокращенно EX-OR) выполняет т.н. суммирование по модулю 2. Его используют в импульсных устройствах как фазовый компаратор, обнаружитель импульсных перепадов, генератор строго сфазированных последовательностей. ЛЭ EX-OR на своем входе дает 0 в двух случаях: тривиальном $0 \oplus 0 = 0$ и при $1 \oplus 1 = 0$. Полная сумма была бы 10 (т.е. 2), но старшая единица этой схемой полусумматора не генерируется. Полный сигнал суммы с единицей переноса дает схема Б. Встречаются микросхемы инверсные EX-OR. Микросхемы ЛП5 и ЛЛ3 дают прямую полусумму двух переменных $A \oplus B$. Микросхема ЛЛ3 имеет открытые коллекторы. Эти микросхемы — средней интеграции, поэтому их токи потребления значительны: 75, 50 и 10 мА по сериям К531ЛП5, К155ЛП5 и К555ЛП5 (74S86, 7486 и 74LS86). Микросхеме К555ЛП12 соответствует 74LS136.

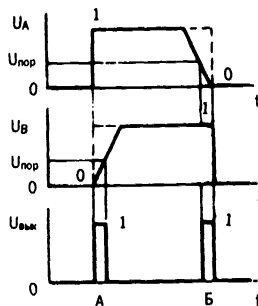
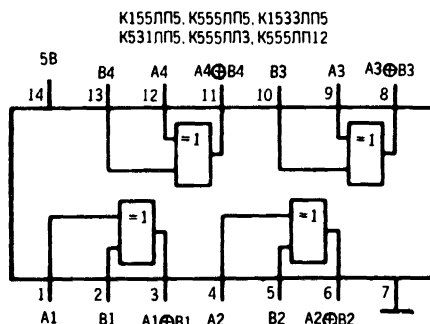
Неприятная помеха при "импульсном" применении EX-OR "кlyки" на выходе, возникающие, если фронты входных сигналов А и В не сформированы (например, с помощью триггера Шмитта). Видно, что в моменты А и Б выполняются условия $0 \oplus 1 = 1$ и $1 \oplus 0 = 1$.



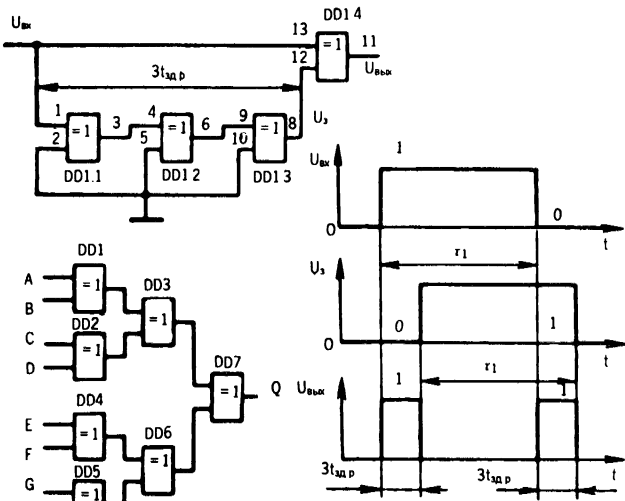
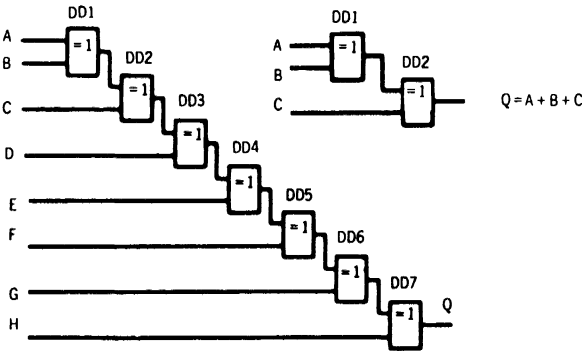
Элемент EX—OR



Вход		Выход	
A	B	Q	\bar{Q}
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1



Однако данный паразитный эффект удачно используется для выделения фронта и среза импульса. Элементы DD1.1 ... DD1.3 задерживают входной импульс на тройное время задержки. Такую длительность имеют и выходные импульсы. Задержки для ЛП5 EX-OR составляют: 10, 30 и 22 нс (серии К531, К155 и К555 соответственно).



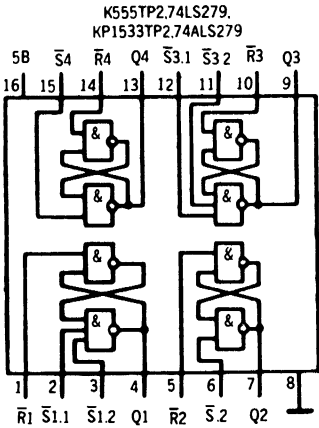
Полусумматор многих переменных делается из нескольких двухвходовых ЛЭ EX-OR.

8. ТРИГГЕРЫ RS и D

В микросхеме TP2 четыре RS-триггера, число входов у них различное. Если на входах все уровни высокие, триггер хранит предыдущее состояние. На время, когда все выходные уровни Н, выход Q = В. Такая входная комбинация не защелкивается.

Состояния триггера из К555TP2

Вход			Выход Q
$\bar{S}1$	$\bar{S}2$	\bar{R}	
H	H	H	B
H	x	B	B
x	H	B	B
B	B	H	H
B	B	B	Без изменения

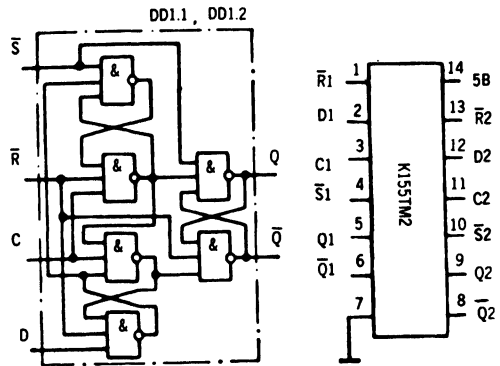


После снятия сигнала Н,Н, состояние Q — неопределенно. Время задержки выходного сигнала находится в пределах 15 ... 25 нс при токе потребления 7 мА (К555TP2) и 5,5 мА (KP1533TP2).

D-триггеры ТТЛ

Серия	Обозначение	Номер микросхемы				
		2	5	7	8	9
K155	ТМ	+	+	+	+	
KM155		+	+			
K555		+		+	+	+
KM555		+		+	+	+
K531		+			+	+
KP1533		+			+	+
KP1531					+	+
74	—	74	77	75	175	174

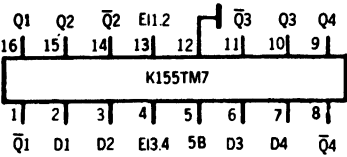
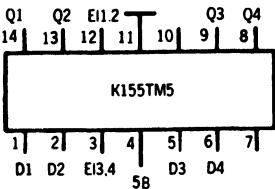
Триггер ТМ2 имеет полный набор входов и выходов. Входы \bar{R} и \bar{S} — асинхронные с активным уровнем Н. Уровень на входе D надо зафиксировать перед приходом тактового перепада. Защитный интервал должен быть больше времени задержки в триггере. Для КР1533ТМ2 это время 18 нс, потребление тока питания 1,8 мА. Входы С и D отключены, если на \bar{R} и \bar{S} противоположные уровни В и Н. Если дано Н,Н — на выходах неопределенность, когда В,В — в триггер загружается D.



Состояния триггера из ТМ2

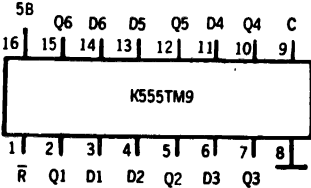
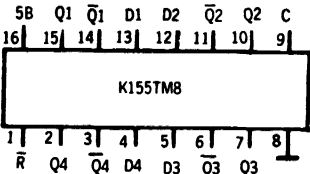
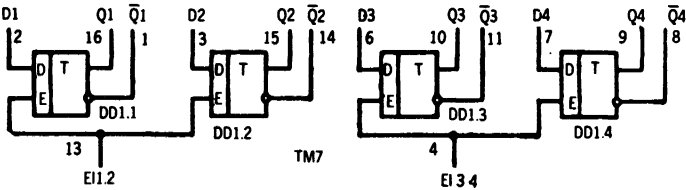
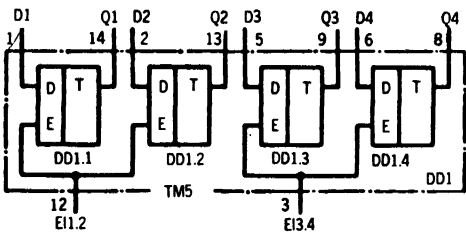
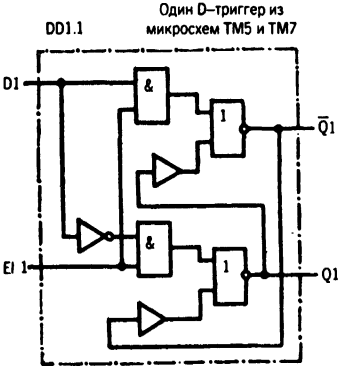
Режим работы	Вход				Выход	
	\bar{S}	\bar{R}	C	D	Q	\bar{Q}
Асинхронная установка	Н	В	X	x	В	Н
Асинхронный сброс	В	Н	X	x	Н	В
Неопределенность	Н	Н	X	x	В	В
Загрузка 1 (установка)	В	В	↑	в	В	Н
Загрузка 0 (сброс)	В	В	↑	н	Н	В

ТМ5 и ТМ7 содержат по две пары триггеров с упрощенным входом разрешения загрузки Е1. Пока $E1 = Н$ вход D = x (безразличен), а на выходе Q остается предыдущее состояние. Перепад на Е1 от В к Н загружает от входа D "1" или "0" в ячейку.



Состояния триггера из микросхем ТМ5 и ТМ7

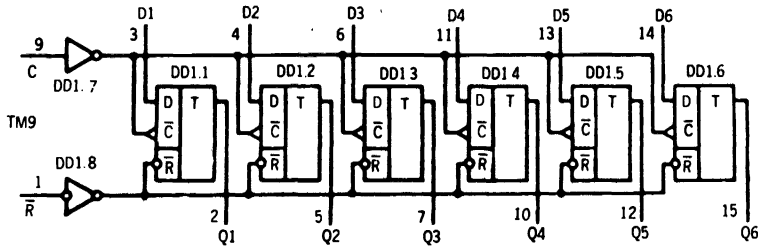
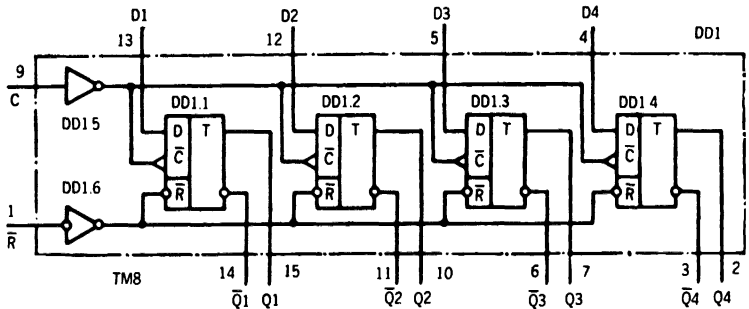
Режим работы	Вход		Выход	
	E1	D	Q	\bar{Q}
Разрешение передачи данных на вход	В	Н	Н	В
Защелкивание данных	В	В	В	Н
	Н	x	q	\bar{q}



ТМ8, ТМ9 линейки из 4 и 6 D-триггеров. Входы С и \bar{R} общие. Когда $\bar{R} = Н$, входы С и D безразличны к сигналам, а выходы Q = Н (сброс в ноль). Для записи в триггеры на их входах D надо подготовить байт, зафиксировать $\bar{R} = В$ и подать положительный скачок на вход С. Микросхемы ТМ8 потребляют токи 96, 45 и 18 мА (серии К531, К155 и К555 соответственно), время задержки 22, 28 и 35 нс (в том же порядке). Микросхемы ТМ9 потребляют токи в 1,5 раза больше, тактовые частоты 75, 30 и 25 МГц (К531, К155 и К555).

Состояния триггера ТМ8 и ТМ9

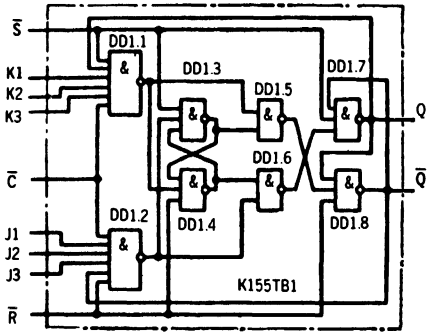
Режим работы	Вход			Выход	
	\bar{R}	C	D _n	Q _n	\bar{Q}_n
Сброс	H	B		H	B
Загрузка 1	B	\uparrow	x	B	H
Загрузка 0	B	\uparrow	H	H	B



9. ТРИГГЕРЫ JK

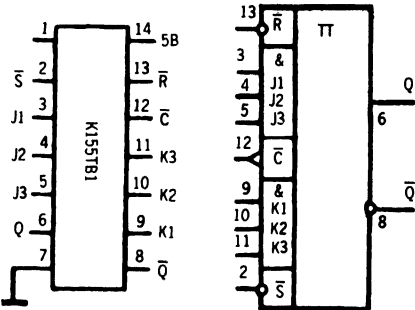
Серия	Обозначение	Номер микросхемы					
		1	6	9	10	11	15
K155 KM155 K555 K531 KP1533 KP1531	TB	+	+	+	+	+	+
74	—	72	107	112	113	114	109

В K155TB1 имеется один универсальный JK-триггер с тройными J и K входами И. Они принимают данные, когда $\bar{S} = \bar{R} = B$. Триггер здесь двухступенчатый: для тактового входа требуется полный импульс. Положительным фронтом комбинация JK загружается в триггер-мастер. Она переносится в триггер-помощник отрицательным срезом и появляется на выходах Q и \bar{Q} . Во время вершины тактового импульса $\bar{C} = B$ сигналы JK менять нельзя.

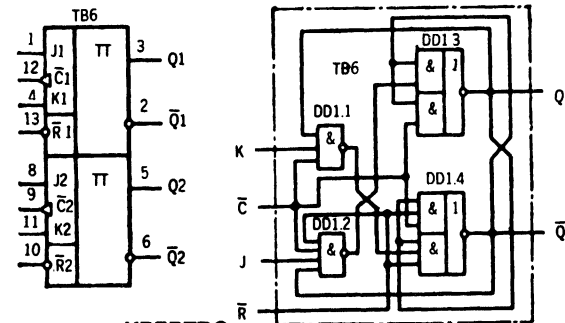


Состояния JK-триггера K155TB1

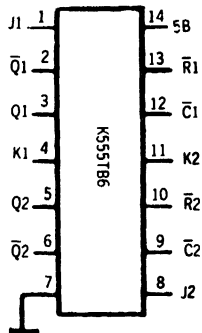
Режим работы	Вход					Выход	
	\bar{S}	\bar{R}	\bar{C}	J	K	Q	\bar{Q}
Асинхронная установка	H	B	x	x	x	B	H
Асинхронный сброс	B	H	x	x	x	H	B
Неопределенность	H	H	x	x	x	B	B
Переключение	B	B	\square	B	B	q	q
Загрузка 0 (сброс)	B	B	\square	H	B	H	B
Загрузка 1 (установка)	B	B	\square	B	H	B	H
Хранение (нет изменений)	B	B	\square	H	H	q	q



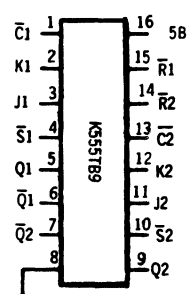
Микросхемы TB6, TB9 и TB10 содержат по два JK-триггера. В TB9 есть полный комплект входов и выходов. В TB6 входы установки \bar{S} отсутствуют. Ноль и единица, подготовленные на входах J и K, загружаются в триггер во время положительной вершины импульса \bar{C} , срез которого от В к Н переносит их на выходы. Для TB6 сбросу $Q = H$ соответствует $\bar{R} = H$ (остальные входы в этот момент безразличны).



Состояния триггеров микросхемы K555TB6



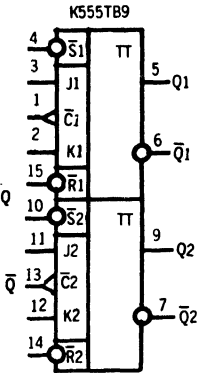
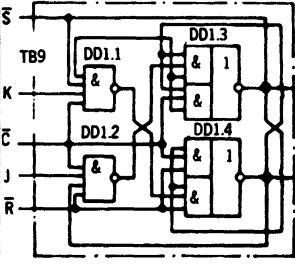
Режим	Вход				Выход	
	\bar{R}	\bar{C}	J	K	Q	\bar{Q}
Асинхронный сброс	H	x	x	x	H	B
Переключение	B	\downarrow	B	B	\bar{q}	q
Загрузка 0 (сброс)	B	\downarrow	H	B	H	B
Загрузка 1 (установка)	B	\downarrow	B	H	B	H
Хранение (нет изменений)	B	\downarrow	H	H	q	\bar{q}



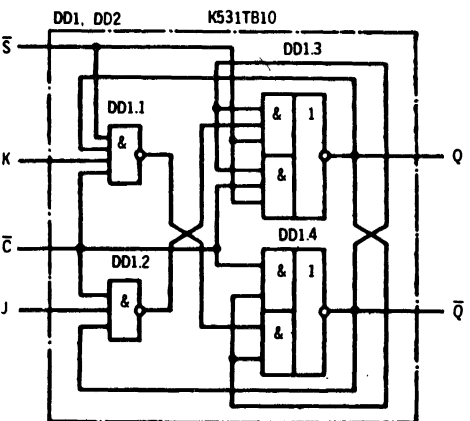
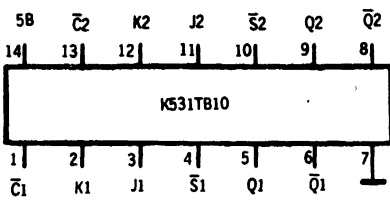
В триггере TB9 есть вход \bar{S} . Он дает два дополнительных режима: асинхронный сброс и классическую неопределенность RS-триггера. K555TB9 работает с тактовой частотой до 30 МГц.

Состояния JK-триггера из микросхемы TB9

Режим работы	Вход					Выход	
	\bar{S}	\bar{R}	\bar{C}	J	K	Q	\bar{Q}
Асинхронная установка	H	B	x	x	x	B	H
Асинхронный сброс	B	H	x	x	x	H	B
Неопределенность	H	H	x	x	x	B	B
Переключение	B	B	\downarrow	B	B	\bar{q}	q
Загрузка 0 (сброс)	B	B	\downarrow	H	B	H	B
Загрузка 1 (установка)	B	B	\downarrow	B	H	B	H
Хранение: нет изменений	B	B	\downarrow	H	H	q	\bar{q}

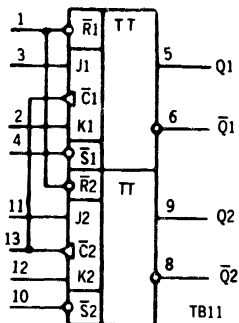


K531TB10 -- вариант TB6, однако входы \bar{R} заменены на \bar{S} , поэтому первая строка в таблице состояний не сброс $Q = H$, а асинхронная установка ($Q = B$). K531TB10 потребляет 50 мА.



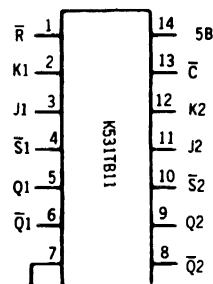
Состояния JK-триггера из микросхемы K531TB10

Режим	Вход				Выход	
	\bar{S}	\bar{C}	J	K	Q	\bar{Q}
Асинхронная установка	H	x	x	x	B	H
Переключение	B	\downarrow	B	B	\bar{q}	q
Загрузка 0 (сброс)	B	\downarrow	H	B	H	B
Загрузка 1 (установка)	B	\downarrow	B	H	B	H
Хранение: нет изменений	B	\downarrow	H	H	q	\bar{q}



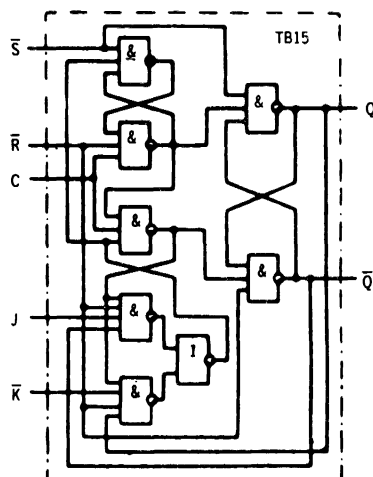
K531TB11 — вариант TB9 с общими входами \bar{C} и \bar{R} . Таблица TB9 верна.

K155TB15 содержит два триггера с полным комплектом входов. Особенности: вход J — прямой, а K — инверсный, запись происходит положительным перепадом C. Если входы J и K соединить, получим D-вход. K155TB15 потребляет ток 30 мА, максимальная частота переключения — 25 МГц.



Состояния JK-триггера K155TB15

Режим работы	Вход					Выход	
	\bar{S}	\bar{R}	C	J	\bar{K}	Q	\bar{Q}
Асинхронная установка	Н	В	х	х	х	В	Н
Асинхронный сброс	Н	Н	х	х	х	Н	В
Неопределенность	Н	Н	х	х	х	В	В
Переключение	В	В	↑	в	н	q	q
Загрузка 0 (сброс)	В	В	↑	н	в	Н	В
Загрузка 1 (установка)	В	В	↑	в	н	В	Н
Хранение: нет изменений	В	В	↑	н	в	q	q



10. СЧЕТЧИКИ

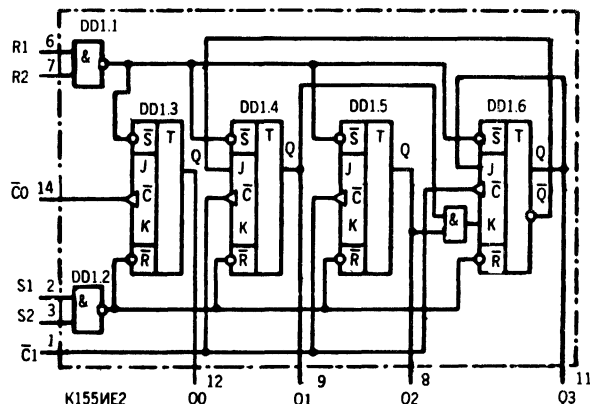
Микросхемы ТТЛ, делящие входную частоту или подсчитывающие число импульсов, различаются не только по числу разрядов, но и вариантами цепей управления: асинхронные, синхронные, двоичные, двоично-десятичные, однонаправленные,

реверсивные. Коэффициент деления может быть постоянным или переключаемым согласно коду установки. Сброс накопленных счетчиком данных в ноль у одних микросхем асинхронный, у других — синхронный с тактовым импульсом.

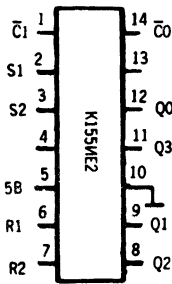
Счетчики ТТЛ

Серия	Обо- зна- чение	Номер микросхемы																
		2	4	5	6	7	8	9	10	11	13	14	15	16	17	18	19	
K155 KM155 K555 KM555 K531 KP1533 KP1531	ИЕ	+	+	+	+	+	+	+				+						
		+	+	+	+	+	+	+				+						
		+	+	+	+	+	+	+				+	+				+	+
									+								+	+
						+	+	+	+		+		+	+	+	+	+	
										+								
74	—	90	92	93	192	193	97	160	161	162	191	196	197	168	169	163	393	

K155IE2 — счетчик четырехразрядный, двоично-десятичный. Путь тактового сигнала у него асинхронный: вход \bar{C} последующего триггера принимает выходной импульс предыдущего триггера. Каждый триггер вносит в эту последовательность свою долю задержки, поэтому разряды появляются на выходах Q0 ... Q3 неодновременно и несинхронно с тактовыми импульсами. В схеме четыре триггера. Первый из них DD1.3 — самостоятельный делитель на 2 (вход $\bar{C}0$, выход Q0). Остальные триггеры — самостоятельный делитель на 5 (такт $\bar{C}1$).



Выбор режима работы счетчика K155IE2



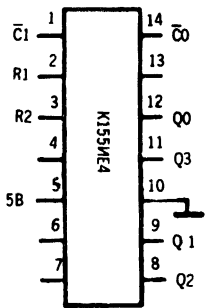
Вход сброса и установки				Выход			
R1	R2	S1	S2	Q0	Q1	Q2	Q3
В	В	Н	х	В	Н	Н	В
В	В	х	Н	В	Н	Н	В
Н	Н	В	В	Н	Н	Н	Н
Н	х	Н	х	Счет			
х	Н	х	Н				
Н	х	х	Н				
х	Н	Н	х	»			

Последовательность двоично-десятичного счета в микросхеме K155IE2

Счет	Выход			
	Q0	Q1	Q2	Q3
0	Н	Н	Н	Н
1	В	Н	Н	Н
2	Н	В	Н	Н
3	В	В	Н	Н
4	Н	Н	В	Н
5	В	Н	В	Н
6	Н	В	В	Н
7	В	В	В	Н
8	Н	Н	Н	В
9	В	Н	Н	В

Запускает — отрицательный срез. Сброс R — асинхронный. Чтобы счетчик делил на 10, соедините выводы 12 и 1, входную частоту подайте на C0(14). Установка S — асинхронная. При S = Н, R = В в счетчик записывается 1001 (т.е. 9). Счет от

0000 до 1001 происходит, если S = R = Н. От Q0 (вывод 12) можно получить симметричный меандр с частотой $f/10$, если подать входную частоту f на C1 (1) и соединить Q3 (11) с C0 (14).



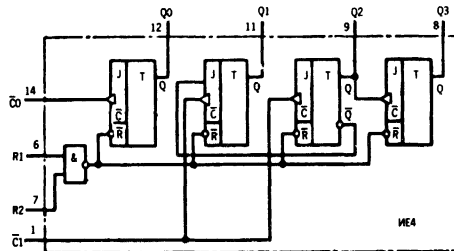
K155IE4 — четырехразрядный делитель на 2 (вход C0 — 14, выход Q0 — 12) и на 6 (вход C1 — 1, выход Q3 — 8). На выходах Q1 (11) и Q2 (9) имеется частота $f/3$. Замкнув выводы 12 и 1, получим делитель на 12 (на C0 — f , на Q3 — $f/12$, здесь импульсы симметричные). Сбросу асинхронному в 0000 соответствует R1 = R2 = В.

Последовательность счета для K155IE4

Счет	Выход			
	Q0	Q1	Q2	Q3
0	Н	Н	Н	Н
1	В	Н	Н	Н
2	Н	В	Н	Н
3	В	В	Н	Н
4	Н	Н	В	Н
5	В	Н	В	Н
6	Н	В	В	Н
7	В	В	В	Н
8	Н	Н	Н	В
9	В	Н	Н	В
10	Н	В	Н	В
11	В	В	Н	В

Режим работы счетчика K155IE5, IE4

Вход сброса		Выход			
R1	R2	Q0	Q1	Q2	Q3
В	В	Н	Н	Н	Н
Н	В	Счет			
В	Н				
Н	Н				

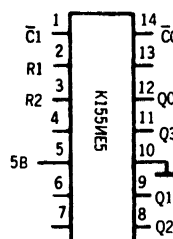
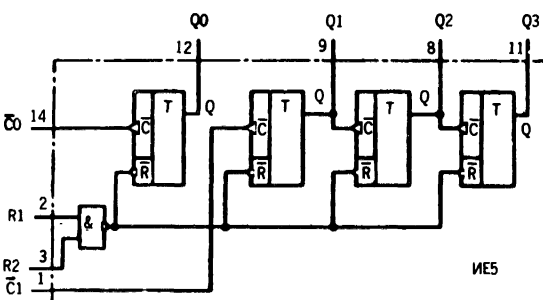


K155IE5 составлен из делителя на 2 (от C0 до Q0) и делителя на 8 (от C1 до Q1 ... Q3). Соединив 12 и 1, получим $f/16$ на Q3.

K155IE2, IE4 и IE5 потребляют 53 мА, частота счета — до 10 МГц.

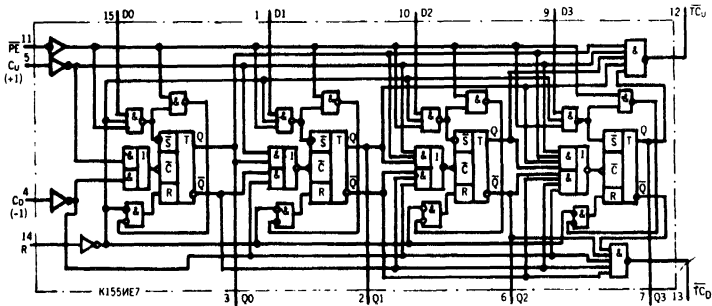
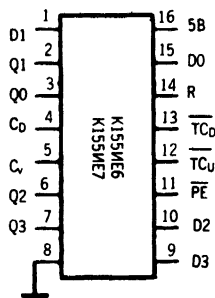
Последовательность счета K155IE5

Счет	Выход			
	Q0	Q1	Q2	Q3
0	Н	Н	Н	Н
1	В	Н	Н	Н
2	Н	В	Н	Н
3	В	В	Н	Н
4	Н	Н	В	Н
5	В	Н	В	Н
6	Н	В	В	Н
7	В	В	В	Н
8	Н	Н	Н	В
9	В	Н	Н	В
10	Н	В	Н	В
11	В	В	Н	В
12	Н	Н	В	В
13	В	Н	В	В
14	Н	В	В	В
15	В	В	В	В



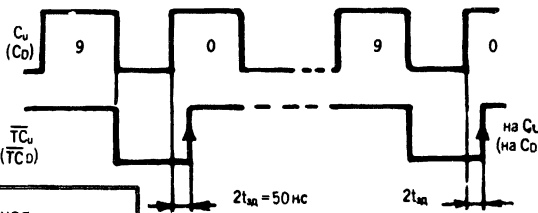
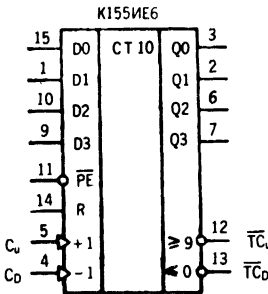
K155IE6 и IE7 — счетчики синхронные, четырехразрядные, реверсивные: IE7 — двоичный, считает от 0 до 15 и до 0, а IE6 — двоично-десятичный 0 ... 9 ... 0. Положительный перепад на увеличение C_{up} (или уменьшение C_{down}) прибавляет (или вычитает) 1. Если $R = \overline{PE} = H$ можно асинхронно загрузить счетчик байт D0 ... D3, который появится на выходах Q0 ... Q3 с задержкой 40 нс.

Соединив оба выхода окончания счета $\overline{TC_U}$, $\overline{TC_D}$ непосредственно с C_U , C_D следующей микросхемы, получите 8-разрядный счетчик, но он не полностью синхронный. Направление счета изменяйте во время плоской вершины такта $C_{U,D}$. При $C_U = H$ или $C_D = H$ счетчик не переключается. Эти счетчики серии K155 потребляют 102 мА, варианты K555 — 34 мА. Тактовая частота — свыше 20 МГц.



Режимы счетчиков IE6

Режим	Вход								Выход							
	R	\overline{PE}	C_U	C_D	D0	D1	D2	D3	Q0	Q1	Q2	Q3	$\overline{TC_U}$	$\overline{TC_D}$		
Сброс	B	x	x	H	x	x	x	x	H	H	H	H	B	H		
	B	x	x	B	x	x	x	x	H	H	H	H	B	B		
Параллельная загрузка	H	H	x	H	H	H	H	H	H	H	H	H	B	H		
	H	H	x	B	H	H	H	H	H	H	H	H	B	B		
	H	H	H	x	B	H	H	B	$Q_n = D_n$	$Q_n = D_n$	$Q_n = D_n$	$Q_n = D_n$	B	B		
	H	H	B	x	B	H	H	B	$Q_n = D_n$	$Q_n = D_n$	$Q_n = D_n$	$Q_n = D_n$	B	B		
Счет на увеличение	H	B	\uparrow	B	x	x	x	x	Счет на увеличение				B	B		
Счет на уменьшение	H	B	B	\uparrow	x	x	x	x	Счет на уменьшение				B	B		



Режимы счетчика IE7

Режим	Вход								Выход							
	R	\overline{PE}	C_U	C_D	D0	D1	D2	D3	Q0	Q1	Q2	Q3	$\overline{TC_U}$	$\overline{TC_D}$		
Сброс	B	x	x	H	x	x	x	x	H	H	H	H	B	H		
	B	x	x	B	x	x	x	x	H	H	H	H	B	B		
Параллельная загрузка	H	x	H	H	H	H	H	H	H	H	H	H	B	H		
	H	H	x	B	H	H	H	H	H	H	H	H	B	B		
	H	H	H	x	B	B	B	B	$Q_n = D_n$	$Q_n = D_n$	$Q_n = D_n$	$Q_n = D_n$	B	B		
	H	H	B	x	B	B	B	B	$Q_n = D_n$	$Q_n = D_n$	$Q_n = D_n$	$Q_n = D_n$	B	B		
Счет на увеличение	H	B	\uparrow	B	x	x	x	x	Счет на увеличение				B	B		
Счет на уменьшение	H	B	B	\uparrow	x	x	x	x	Счет на уменьшение				B	B		

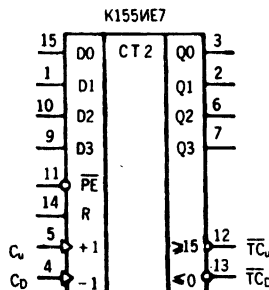


Диаграмма работы счетчика
ИЕ6

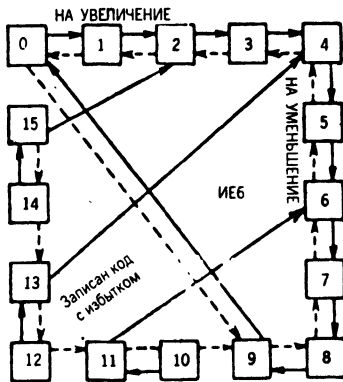
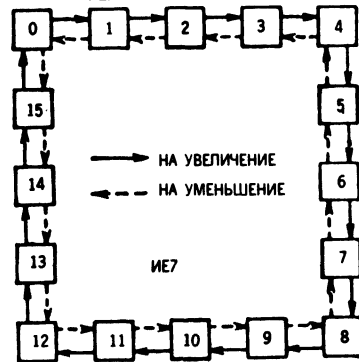


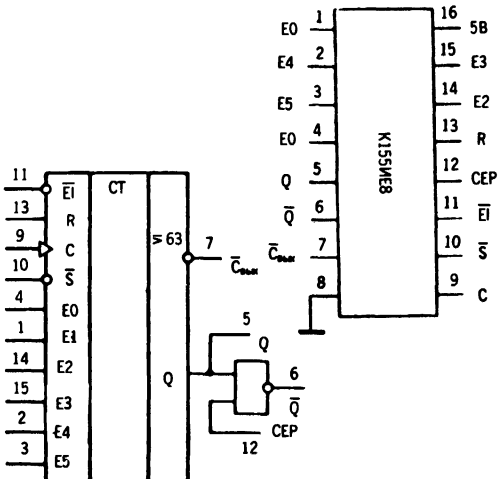
Диаграмма работы счетчика
ИЕ7



K155IE8 — шестиразрядный счетчик со входами разрешения E0 ... E5 для задания числа выходных импульсов, которые появятся на выходе Q в период от начала счета до 63-го тактового импульса. Требуемое число импульсов представьте в двоичном коде и зафиксируйте перед счетом уров-

ни В на входах E5 ... E0. Пример: $40 = 32 + 0 + 8 + 0 + 0 + 0$, набираем код ВВВННН. Получим на выходе 40 импульсов. При $S = B$ деление останавливается, при $R = \bar{E}1 = S = H$ счет разрешен. Вход CEP нужен для последовательного соединения счетчиков ИЕ8.

Состояния счетчика ИЕ8

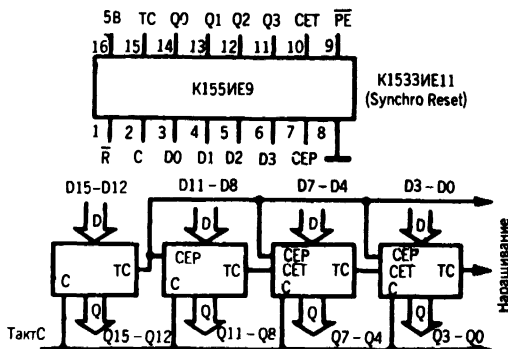


Вход										Выход		
R	$\bar{E}1$	\bar{S}	E5	E4	E3	E2	E1	E0	Число импульсов на входе С	CEP	Число импульсов	
											\bar{Q}	Q
B	x	B	x	x	x	x	x	x	x	B	H	B
H	H	H	H	H	H	H	H	B	64	B	H	1
H	H	H	H	H	H	H	H	H	64	B	1	1
H	H	H	H	H	H	H	H	H	64	B	2	1
H	H	H	H	H	H	H	H	H	64	B	4	1
H	H	H	H	H	H	H	H	H	64	B	8	1
H	H	H	H	H	H	H	H	H	64	B	16	1
H	H	H	H	H	H	H	H	H	64	B	32	1
H	H	H	H	H	H	H	H	H	64	B	63	1
H	H	H	H	H	H	H	H	H	64	B	40	1

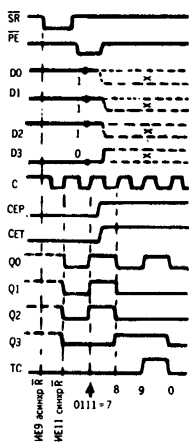
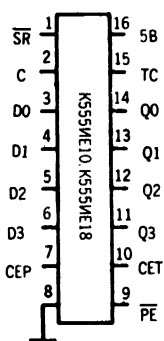
K155IE9 — счетчик двоично-десятичный с синхронной загрузкой байта D0 ... D3 при условии $\bar{P}E = H$. Все разряды выходного байта Q0 ... Q3 появятся одновременно с положительным перепадом С. K155IE9 более устойчив к помехам, т.к. логика имеет пороги Шмитта ± 400 мВ. Сброс в ноль при

$\bar{R} = H$ — асинхронный. Для синхронного каскадирования есть два входа разрешения CEP (параллельный) и CET (трюковый), а также выход TC (счет закончен). Выход TC будет В, когда выходной байт стал ВННВ (т.е. 9), а на входе CET был В. Выход TC обслуживает входы CEP всех счетчиков линейки. Трюковый вход CET используется лишь с треть-

Режим работы счетчиков ИЕ9, ИЕ10, ИЕ11 и ИЕ18 ($\bar{S}R$)



Режим	Вход						Выход	
	\overline{R}	C	CEP	CET	\overline{PE}	D _n	Q _n	TC
Сброс	H	x	x	x	x	x	H	H
Параллельная загрузка	B	↑	x	x	H	H	H	H
Счет	B	↑	x	x	H	B	B	B
Хранение	B	↑	B	B	B	x	Счет q _n	B H
	B	x	B	B	B	x		
	B	x	H	x	B	x	q _n	H
	B	x	x	H	B	x	q _n	H



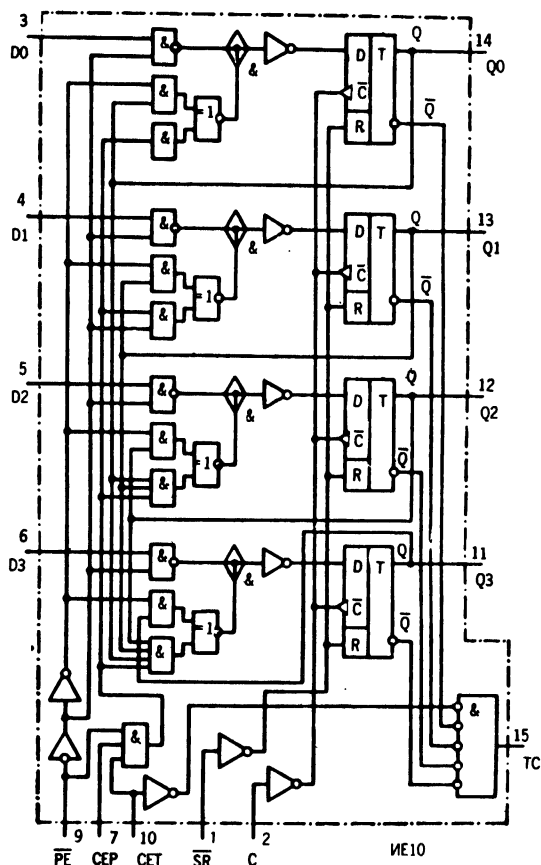
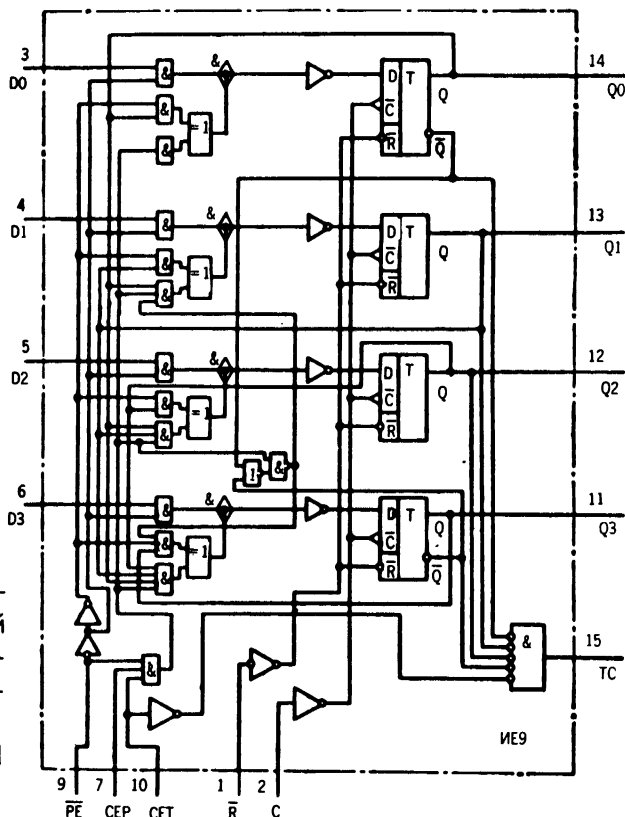
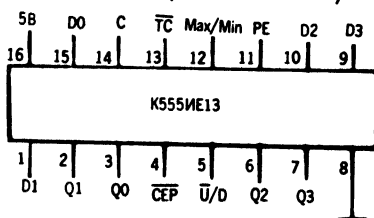
его каскада. Этим способом расширяется десятикратно длительность выходного импульса, который редко появляется на экране осциллографа. Данный многодекадный счетчик полностью синхронный.

Ошибочные режимы. При $CET = CET = B$ и $C = H$ на вход PE нельзя давать положительный перепад. При $C = H$ такой перепад, принятый на CET и CET , наложит байт загрузки на внутренний код. Если на выходах "все нули", K155IE9 потребляет 101 мА, а K555IE9 — 32 мА. Для этих серий время сброса 40 и 30 нс, а задержка от C до TC — 40 и 20 нс. Скорость счета более 20 МГц.

K555IE10 — двоичный вариант IE9. Отличие его логики лишь в том, что результат счета $TC = B$ появится, когда выходной байт $Q0 \dots Q3$ стал $B B B B$, т.е. 15. Остальные режимы, параметры и схема каскадирования совпадают.

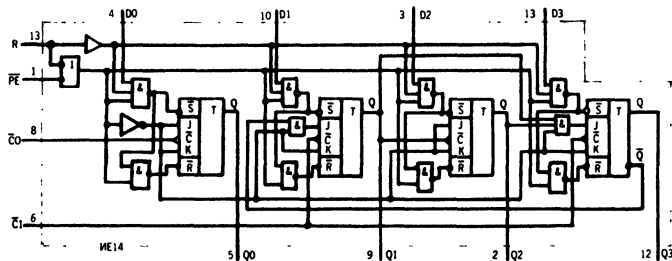
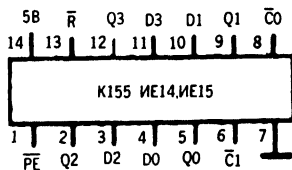
K555IE18 — это IE10 с синхронным входом сброса SR . Перед сбросом фиксируем $SR = H$. Все остальные входы сигналы не принимают. Сброс $HHHH$ совпадает с моментом ближайшего положительного скачка C . Ток питания как у IE9.

K555IE13 — счетчик реверсивный, синхронный четырехразрядный. Имеет синхронный вход записи PE . Это вариант IE7 с единым тактовым входом C и входом управления U/D — больше/меньше.



К531ИЕ14 — двоично-десятичный асинхронный счетчик пульсаций. Это вариант счетчика ИЕ2, но с параллельными входами записи байта D0 ... D3. Здесь также есть делители на 2 и на 5. Режим деления на 10 симметричный: даем такт на $\overline{C1}$ (6), соединяем Q3 (12) и $\overline{C0}$ (8). Выход Q0 (5) дает частоту $f/10$ со скажностью 50%. Сброс асинхронный через 15 нс после события $\overline{R} = H$. Если $\overline{PE} = B$,

действие тактового входа запрещено, байт D0 ... D3 загружается в счетчик. Этот регистр удобен как защелка байта. Выборка из переменного кода D0 ... D3 появится на выходах Q0 ... Q3 через 20 нс после того как \overline{PE} станет H. Счетчик потребляет 88 мА, тактовая частота 80 МГц на входе $\overline{C0}$ и 40 МГц на $\overline{C1}$. ИЕ15 — двоичный вариант.



Выбор режимов счетчика К531ИЕ14

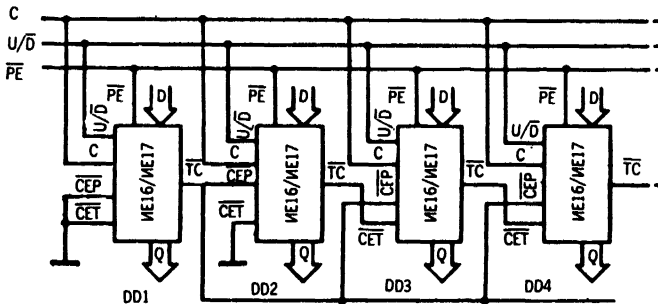
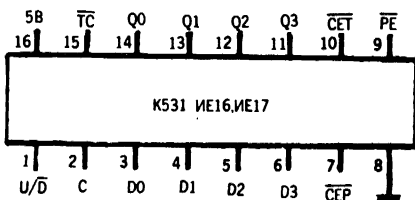
Режим работы	Вход				Выход
	\overline{R}	\overline{PE}	C	D_n	Q_n
Сброс	H	x	x	x	H
Параллельная загрузка	B	H	x	H	H
	B	H	x	B	B
Счет	B	B	↓	x	Счет

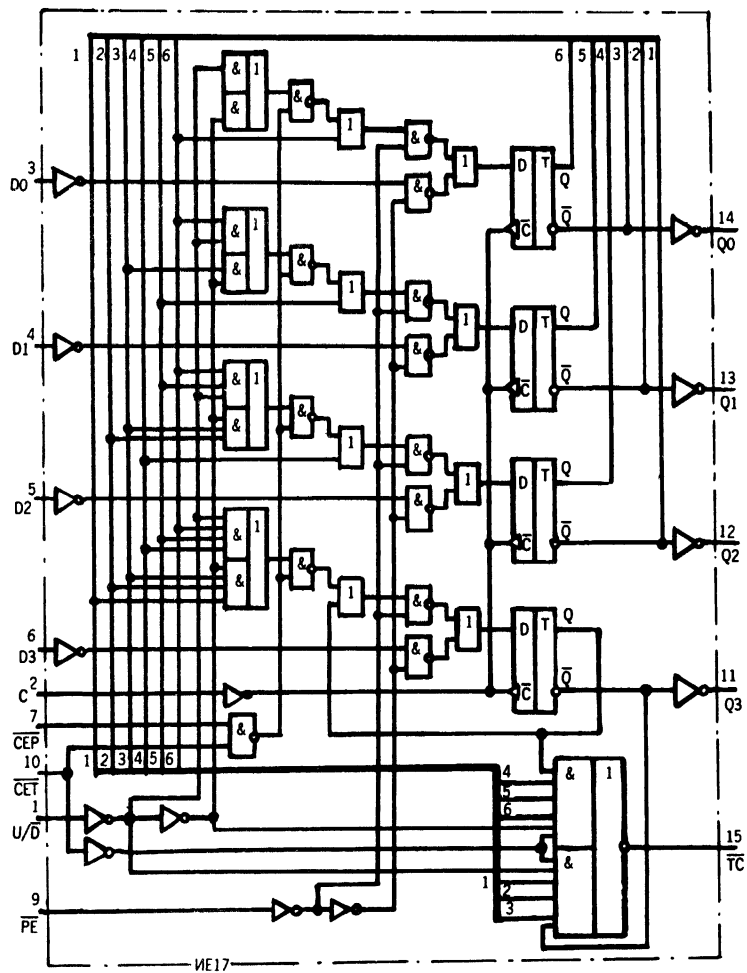
Последовательность счета для К531ИЕ14

Двоично-десятичная				
Число	Q3	Q2	Q1	Q0
0	H	H	H	H
1	H	H	H	B
2	H	H	B	H
3	H	H	B	B
4	H	B	H	H
5	H	B	H	B
6	H	B	B	H
7	H	B	B	B
8	B	H	H	H
9	B	H	H	B

К531ИЕ16 и К531ИЕ17 — счетчики синхронные, реверсивные. ИЕ16 — двоично-десятичный, ИЕ17 — двоичный. Это дальнейшее развитие микросхем ИЕ6, ИЕ7 и ИЕ13. Вход C работает с положительным перепадом. Для входов \overline{CER} и \overline{CET} активные уровни H. Если $U/\overline{D} = B$, счет увеличивается, при $U/\overline{D} = H$ — уменьшается. После окончания счета выход $\overline{TC} = H$. Из-за того, что активные уровни — H, схема каскадирования отличается от ИЕ6, ИЕ7. ИЕ16 заканчивает счет $\overline{TC} = H$, когда накопился код BHHB т.е. 9. Для ИЕ17 максимальный BBBB = 15. Счет на уменьшение идет до нуля HHHH. Счетчики потребляют более 100 мА и весьма чувствительны к помехам. Последовательность C полезно сформировать триггером Шмитта.

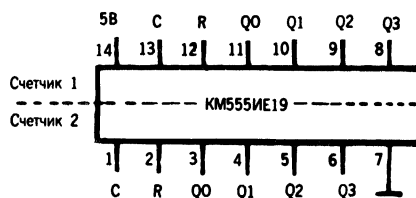
Симметрия				
Число	Q0	Q1	Q2	Q3
0	H	H	H	H
1	H	H	H	B
2	H	H	B	H
3	H	H	B	B
4	H	B	H	H
5	B	H	H	H
6	B	H	H	B
7	B	H	B	H
8	B	H	B	B
9	B	B	H	H





Состояния счетчиков К531ИЕ16 и К531ИЕ17

Режим	Вход						Выход	
	C	U/D	$\overline{\text{CER}}$	$\overline{\text{CET}}$	$\overline{\text{PE}}$	D_n	Q_n	$\overline{\text{TC}}$
Параллельная загрузка	↑	X	X	X	H	H	H	B
Счет на увеличение	↑	X	X	X	H	B	B	B
Счет на уменьшение	↑	B	H	H	B	X	Увеличение	H
Хранение	↑	H	H	H	B	X	Уменьшение	H
	↑	X	B	X	B	X	q_n	B
	↑	X	X	B	B	X	q_n	B



11. РЕГИСТРЫ

В регистровую схему соединено последовательно несколько триггеров. Группа регистров среди микросхем ТТЛ самая широкая. Их используют для последовательного накопления, параллельного хранения и отображения цифровых слов на выходах. Подготовке байтов помогают режимы: реверсирования (сдвиг влево или вправо), а также Z-выходов.

Универсальные "короткие" регистры, имеющие полный комплект входов и выходов, соединяются последовательно, причем многие "длинные" регистры могут работать синхронно. Регистры портовые уменьшают в два раза число проводников шины данных. Существуют регистры специализированные, например, для АЦП и регистровой памяти.

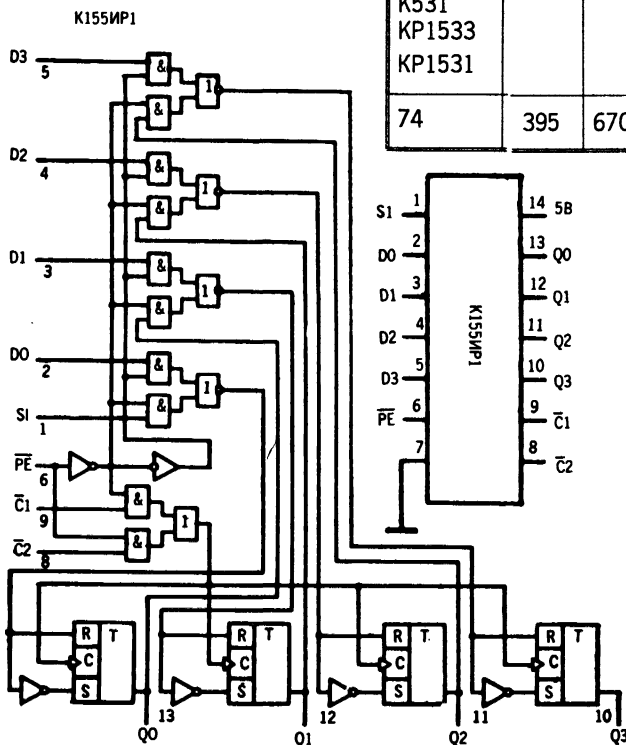
Регистры ТТЛ

Серия	Обозна- чение	Номер микросхемы															
		1	8	9	11	12	13	15	16	17	18	19	20	22	23	24	
K155 KM155 K555 KM555 K531 KP1533 KP1531	ИР	+					+	+		+							
		+						+	+						+	+	
				+	+	+			+						+	+	
					+	+									+	+	
						+	+					+	+	+	+	+	+
						+									+	+	+
						+									+	+	
74	—	95	164	165	194	195	198	173	295	*	07**	08**	09**	373	374	299	

* Аналог DM 2504

** Аналоги из серии AM 25S

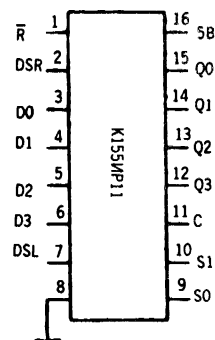
Серия	Регистры ИР											
	25	26***	27	28	30	33	34	35	37	38	40	41
K155 KM155 K555 KM555 K531 KP1533 KP1531	K533	 + +	 + 	K533 +	 + 	 + + +	 +	 + 	 +	 +	 +	 +
74	395	670	377	322	259	573	873	273				



K155IP1 — четырехразрядный регистр сдвига с последовательным входом \overline{SI} . Если $\overline{PE} = B$, разрешен тактовый вход C2. В момент отрицательного перепада входное слово $a \dots d$ (от D0 ... D3) появится на выходах Q0 ... Q3. Когда $\overline{PE} = H$, разрешен вход C1: по каждому перепаду на нем от \overline{SI} в регистр загружается 1 или 0. Накапливаемое слово движется вправо от Q0 к Q3. Можно сдвигать слово влево, соединив попарно Q3 - D2, Q2 - D1, Q1 - D0. При этом $\overline{PE} = B$. Если $\overline{C1} = \overline{C2} = H$, перепад напряжения на входе \overline{PE} не влияет на слово Q0 ... Q3. K155IP1 потребляет 63 мА, тактовая частота — до 25 МГц.

Состояния регистра K155IP1

Вход								Выход			
\overline{PE}	$\overline{C2}$	$\overline{C1}$	После- дова- тельный SI	Параллельные				Q0	Q1	Q2	Q3
				D0	D1	D2	D3				
B	B	x	x	x	x	x	x	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
B	↓	x	x	a	b	c	d	a	b	c	d
B	↓	x	x	Q _B	Q _C	Q _D	d	Q _{Bn}	Q _{Cn}	Q _{Dn}	d
H	H	B	x	x	x	x	x	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	x	↓	B	x	x	x	x	B	Q _{An}	Q _{Bn}	Q _{Cn}
H	x	↓	H	x	x	x	x	H	Q _{An}	Q _{Bn}	Q _{Cn}
↑	H	H	x	x	x	x	x	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
↓	H	H	x	x	x	x	x	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
↓	H	B	x	x	x	x	x	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
↑	B	H	x	x	x	x	x	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
↑	B	B	x	x	x	x	x	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

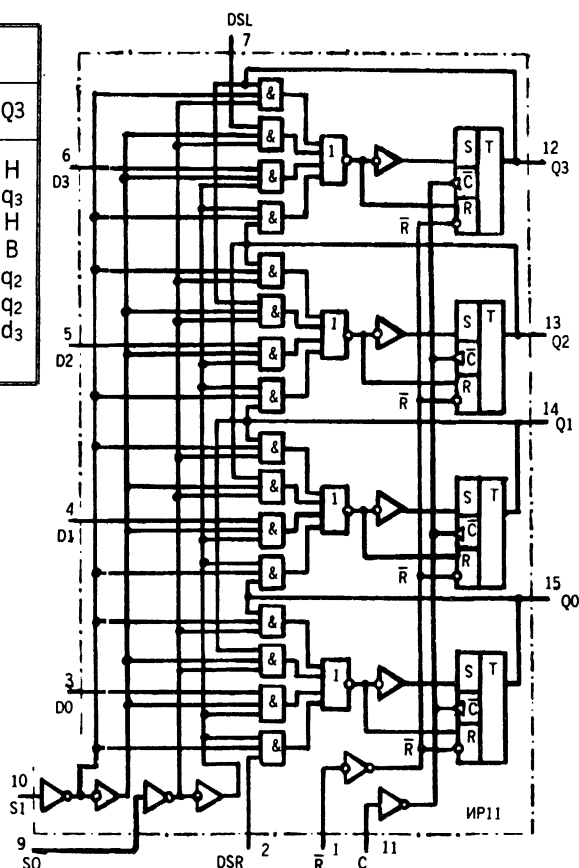


Состояния регистра K531IP11

Режим работы	Вход							Выход			
	C	\overline{R}	S1	S0	DSR	DSL	D_n	Q0	Q1	Q2	Q3
Сброс	x	H	x	x	x	x	x	H	H	H	H
Хранение	x	V	n	n	x	x	x	q_0	q_1	q_2	q_3
Сдвиг влево	↑	V	v	n	x	x	x	q_1	q_2	q_3	H
	↑	V	n	v	n	x	x	H	q_0	q_1	q_2
Сдвиг вправо	↑	V	n	v	v	x	x	V	q_0	q_1	q_2
	↑	V	v	v	x	x	d_n	d_0	d_1	d_2	d_3

K155IP11 — регистр для синхронного реверсивного сдвига четырехразрядного слова. Время для его операции — 12 нс. Набор сигналов надо зафиксировать перед приходом +перепида на С. Слово S0, S1 дает выбор одного из четырех режимов: хранения ($S_0 = H$, $S_1 = H$; входы индифферентны, хранится предыдущее слово), загрузки ($S_0 = H$, $S_1 = V$; байт $d_0 \dots d_3$ появляется от входов $D_0 \dots D_3$ на выходах $Q_0 \dots Q_3$), сдвига влево ($S_0 = V$, $S_1 = V$; от входа DSL) и сдвига вправо ($S_0 = V$, $S_1 = H$ от входа DSR). При $\overline{R} = H$ выходной байт HHHH (сброс). K531IP11 потребляет 135 мА, тактовая частота до 70 МГц. Варианты K155 и K555: потребление 63 и 23 мА, тактовая частота — 25 МГц.

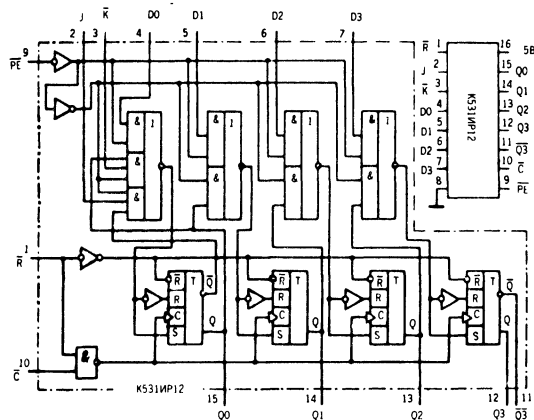
K531IP12 — регистр для синхронного накопления, сдвига и параллельно-последовательного преобразования. Перед приходом +перепида на вход С байты данных D_n и управления \overline{R} , \overline{PE} , J и K должны быть подготовлены. Когда $\overline{PE} = V$, входы J и K принимают бит данных. Соединив J и K, получаем сдиночный D-вход. Согласно каждому +перепида на С, слово сдвигается на одну позицию вправо от Q_0 к Q_3 . Если $\overline{PE} = H$, от +перепида такта С сработают все четыре триггера и байт $D_0 \dots D_3$ по-



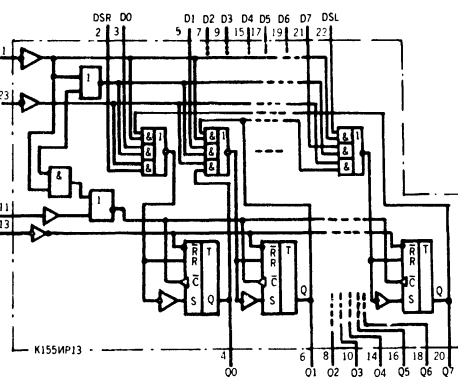
явится на выходах. Для сдвига влево от входа D_3 к выходу Q_0 надо соединить внешними перемычками каждый выход Q_n со входом D_{n-1} , а $\overline{PE} = H$ зафиксировать. Сброс в ноль — при $\overline{R} = H$. Для наращивания соедините выходы $Q_3 \dots Q_3$ предыдущего счетчика со входами J и K следующего. Выводы \overline{PE} , \overline{R} , С — включите параллельно. K531IP12 потребляет 109 мА, частота — до 70 МГц (вариант LS — 21 мА, 30 МГц).

Состояния регистра К531ИР12

Режим работы	Вход					Выход					
	\bar{R}	\bar{C}	\overline{PE}	J	\bar{K}	D_n	Q0	Q1	Q2	Q3	$\overline{Q3}$
Асинхронный сброс	H	x	x	x	x	x	H	H	H	H	\bar{V}
Сдвиг и установка по первому каскаду	$V \uparrow$	v		v	v	x	V	q ₀	q ₁	q ₂	\bar{q}_2
Сдвиг и сброс по первому каскаду	$V \uparrow$	v		n	n	x	H	q ₀	q ₁	q ₂	\bar{q}_2
Сдвиг и переключение первого каскада	$V \uparrow$	v		v	n	x	\bar{q}_0	q ₀	q ₁	q ₂	\bar{q}_2
Сдвиг и хранение в первом каскаде	$V \uparrow$	v		n	v	x	q ₀	q ₀	q ₁	q ₂	\bar{q}_2
Параллельная загрузка	$V \uparrow$	n		x	x	d _n	d ₀	d ₁	d ₂	d ₃	\bar{d}_3

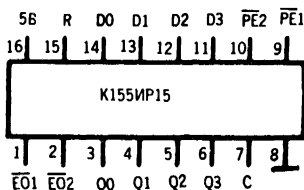
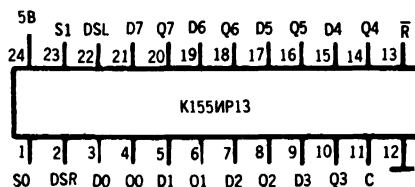


К155ИР13 — синхронный регистр сдвига. Пригоден как буферный накопитель байта для ЗУ (операция — 20 нс). Режимы переключаются байтом S_0, S_1 . Хранение — $S_0 = S_1 = H$. Параллельная загрузка от входов $D_0 \dots D_7$, если $S_0 = S_1 = V$. Сдвиг влево поразрядно от входа DSL , когда $S_0 = H$. Сдвиг вправо от DSR , если $S_0 = V$ и $S_1 = H$. Три последние операции выполняются после +перепада на тактовом входе. Сброс в ноль асинхронный при $\bar{R} = H$. Потребление — 116 мА, тактовая частота 25 МГц.

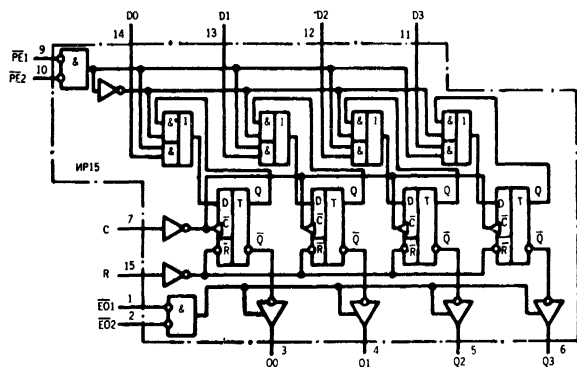


Состояния регистра К155ИР13

Режим работы	Вход						Выход			
	C	\bar{R}	S_1	S_0	DSR	DSL	D_n	Q_0	Q_1-Q_6	Q_7
Сброс	x	H	x	x	x	x	x	H	H-H	H
Хранение	\uparrow	V	H	H	x	x	x	q_0	q_1-q_6	q_7
Сдвиг влево	\uparrow	V	V	H	x	H	x	q_1	q_2-q_7	H
	\uparrow	V	V	H	x	V	x	q_1	q_2-q_7	V
Сдвиг вправо	\uparrow	V	H	V	H	x	x	H	q_0-q_5	q_6
	\uparrow	V	H	V	V	x	x	V	q_0-q_5	q_6
Параллельная загрузка	\uparrow	V	V	V	V	x	d_n	d_0	d_1-d_6	d_7



К155ИР15 — четырехразрядный регистр с Z-выходами, потребляет 72 мА и работает с частотой до 25 МГц. Он защелкивает 4 бита от входов $D_0 \dots D_3$, если $PE_1 = PE_2 = H$, синхронно с +перепадом на входе C . Если на PE_1 или PE_2 уровень V , в регистре хранится предыдущее слово. Сброс в ноль происходит при $R = V$. Инверторы разрешения выходов работают независимо: если $EO_1 = V$ (или $EO_2 = V$), выходные провода $Q_0 \dots Q_3$ размыкаются (Z-состояние).



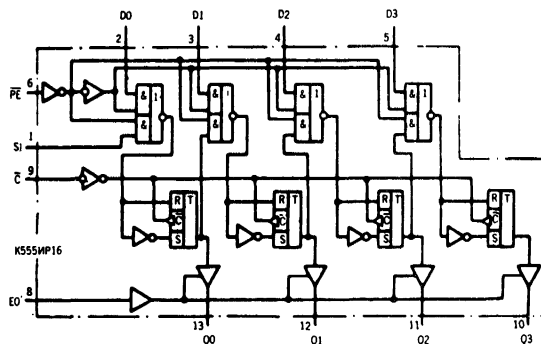
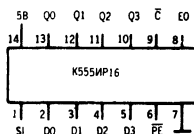
Состояния регистра IP15

Режим	Вход					Выход Q _n
	R	C	$\overline{PE1}$	$\overline{PE2}$	D _n	
Сброс	В	х	х	х	х	Н
Параллельная загрузка	Н	↑	Н	Н	Н	В
Хранение (без изменения)	Н	х	в	х	х	q _n
	Н	х	х	в	х	q _n

Режимы выходов с тремя состояниями регистра IP15

Режим	Вход			Выход Q0—Q3
	D _n	$\overline{E01}$	$\overline{E02}$	
Считывание	Н	Н	Н	Н
Запрет	В	В	х	В
	х	х	В	З

K155IP16 — регистр сдвига с Z-состоянием, он потребляет ток 20 мА и работает с частотой до 30 МГц. Выходы Q0... Q3 переходят в состояние Z, если E0 = Н независимо от других входов. При $\overline{PE} = Н$ после прихода +перепада на С через вход SI в регистр загружаются 0 или 1 последовательно. Если $\overline{PE} = Н$, сразу во все 4 триггера загружается слово от D0... D3 и появляется на выходах Q0... Q3. Стекающий ток выходного каскада более 30 мА.



Состояния регистра K55IP16

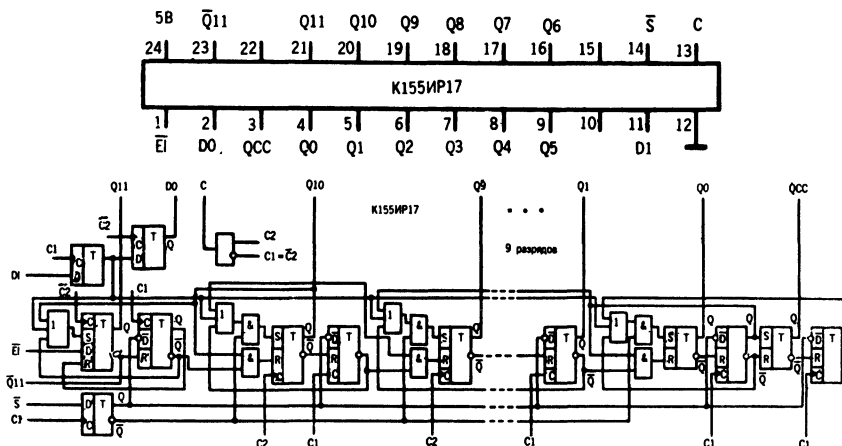
Режимы выходов регистра K55IP16

Режим	Вход		Выход Q0—Q3
	E0	D _n (регистр)	
Считывание	В	Н	Н
Разомкнут	В	В	З

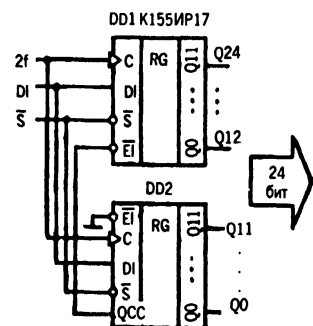
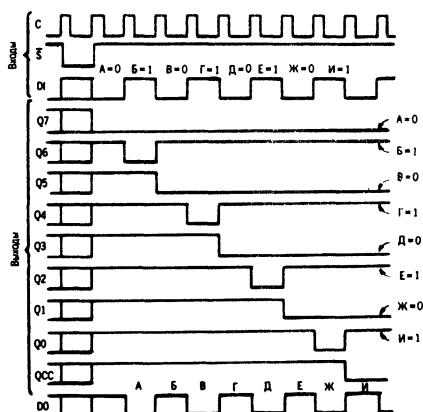
Режим работы	Вход				Выход			
	\overline{C}	\overline{PE}	Последовательный SI	Параллельный D _n	Q0	Q1	Q2	Q3
Сдвиг вправо	↓	Н	Н	х	Н	q ₀	q ₁	q ₂
Параллельная загрузка	↓	Н	В	х	В	q ₀	q ₁	q ₂
	↓	В	х	Н	Н	Н	Н	Н
	↓	В	х	В	В	В	В	В

K155IP17 — двенадцатиразрядный регистр, специализированный как основа логики аналого-цифрового преобразователя АЦП. Можно включить кольцевым счетчиком или преобразователем последовательного кода в параллельный. Можно ис-

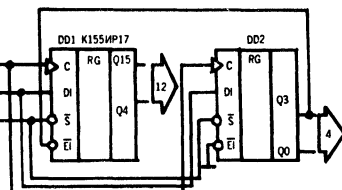
пользовать как укороченный цикл, так и последовательное наращивание. В регистре IP17 — 12 одинаковых ячеек — разрядов. DI — это вход поразрядного приема байта, ячейки Q11... Q0 заполняются поочередно. Биты синхронно со сдвигом



на один такт транслируются через последовательный выход D0. В АЦП ко входу DI подключается выход компаратора, сравнивающего входной сигнал и эталонный уровень, набранный в ЦАП. Если последний меньше, решением компаратора 1 оставляется в текущем старшем разряде. Вход EI необходим для остановки преобразователя. Для окончания набора, например, на 8-разряде присоедините Q7 к EI. Неиспользуемый EI заземляем. Набор кода идет от Q11 до Q0. Выход Q11 — это старший разряд, половина шкалы. Есть выход Q11, его используют как знаковый при двухквадрантной шкале кода: байт Q0 ... Q10 можно будет считать или положительным, или отрицательным словом. Завершает преобразование низкий уровень на выходе QCC (conversion complete). По окончании импульса И (см. линию Q0) параллельно на выходах Q7 ... Q0 накоплен и зафиксирован входной байт DI: 01010101.

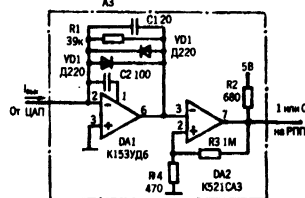
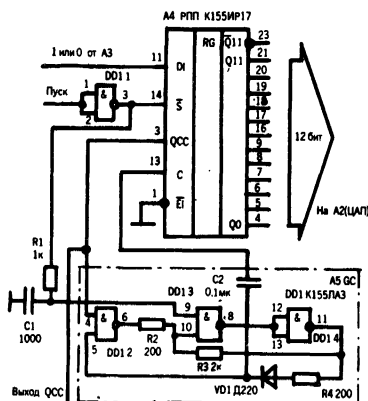
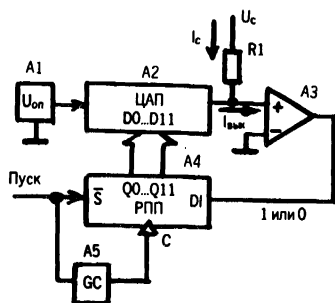


Регистры можно наращивать. Кроме полностью 24-разрядного регистра, показан 16-разрядный (здесь DD2 работает с укороченным циклом).

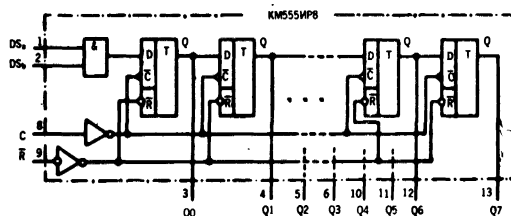


АЦП составляется из следующих частей: компаратора АЗ; ЦАП (А2 — стандартная микросхема, например К1108ПА1); РПП ИР17 (А4, РПП ИР17 с дополнительным автогенератором удвоенной час-

тоты преобразования). Источник опорного напряжения А1 должен "держат" точность самой младшей градации (здесь стабильность должна быть 0,01% в полном диапазоне внешних воздействий).

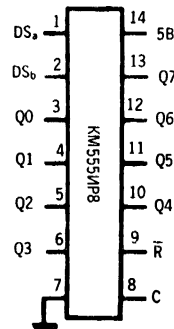


КМ555ИР8 — 8-разрядный регистр сдвига. Сброс всех выходов в Н при $\bar{R} = Н$ — синхронный, все входы запрещены. Последовательных входов DS два (по логике И). Тактовый перепад С — положительный, бит сдвигаем вправо от Q0 до Q7. Потребляет ток 27 мА, стекающий ток выхода не менее 15 мА.

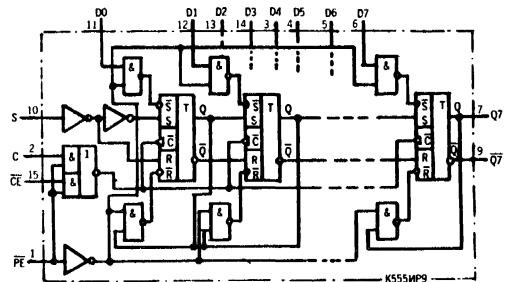


Состояния регистра K555IP8

Режим	Вход				Выход	
	\bar{R}	C	DS _a	DS _b	Q0	Q1—Q7
Сброс Сдвиг	H	x	x	x	H	H—H
	B	↑	H	H	H	q0—q6
	B	↑	H	B	H	q0—q6
	B	↑	B	B	H	q0—q6

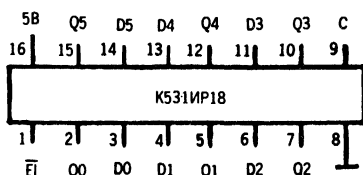
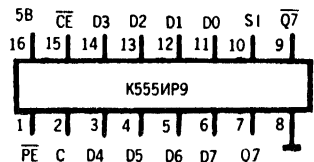


K555IP9 — 8-разрядный регистр задержки байта на 8 тактов. У регистра полный комплект входов, но только последовательный выход Q7 (Q7). Загрузка D0 ... D7 асинхронная, по разрешению \overline{PE} = H. Когда \overline{PE} = B, работает последовательный вход SI: синхронно по +перепаду на входе C ранее загруженные биты сдвигаются вправо. \overline{CE} и C — логически равноправные, их можно менять местами. При \overline{CE} = B трансляция кода останавливается, биты хранятся в регистре. K555IP9 потребляет 63 мА, частота работы свыше 20 МГц.



Состояния регистра K555IP9

Режим работы	Вход					Внутреннее состояние		Выход	
	\overline{RE}	\overline{CE}	C	SI	D0—D7	Q0	Q1—Q6	Q7	$\overline{Q7}$
Параллельная загрузка	H	x	x	x	H	H	H—H	H	B
	H	x	x	x	B	B	B—B	B	H
Последовательный сдвиг	B	H	↑	H	x	H	q0—q5	q6	$\overline{q6}$
	B	H	↑	B	x	B	q0—q5	q6	$\overline{q6}$
Хранение	B	B	x	x	x	q0	q1—q6	q7	$\overline{q7}$

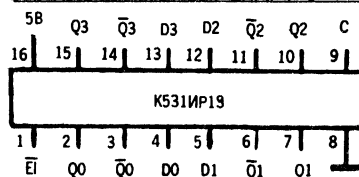


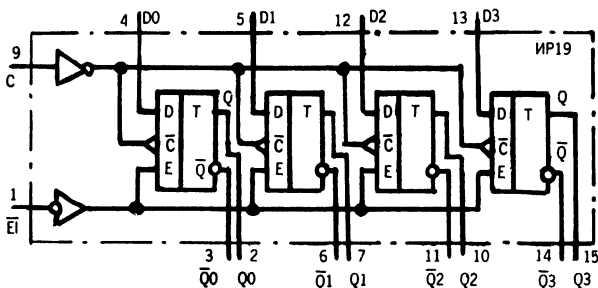
K531IP18 — шестиразрядный регистр-защелка параллельного байта D0 ... D5 по +перепаду на входе C, если входы разрешены \overline{EI} = H. При \overline{EI} = B (или \overline{EI} = H, а C = B) данные Qn хранятся в регистре. Ток потребления 75 мА, но время задержки исполнения 8 ... 10 нс. Применение: распределение по параллельным шинам (в данном случае по четырем) байтов, которые последовательно приходят из общей ШД. Один из четырех адресов нужной шины выбирается дешифратором K531ID14, управляемым кодом A0, A1.

K531IP19 — короткий, 4-разрядный аналогичен IP18. "Освободившиеся" выходы дают инверсное слово $\overline{Q0}$... $\overline{Q3}$. Параметры и применения как у IP18.

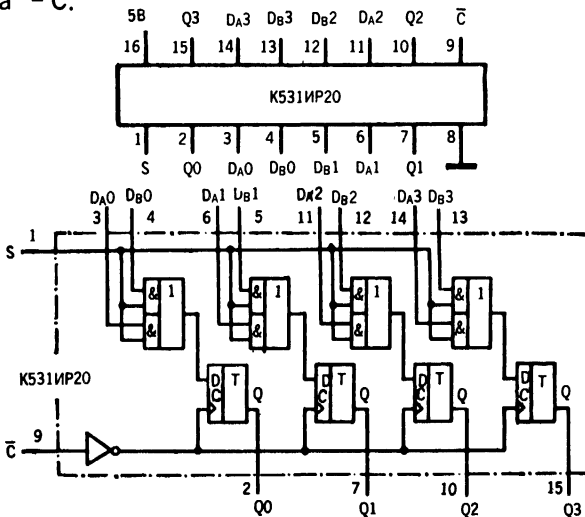
Состояния регистров IP18 и IP19

Вход			Выход	
\overline{EI}	D _i	C _{n+1}	Q _i	\overline{Q}_i
B	x	x	Q _n	\overline{Q}_n
H	x	B	Q _n	\overline{Q}_n
H	x	H	Q _n	\overline{Q}_n
H	H	↑	H	B
H	B	↑	B	H





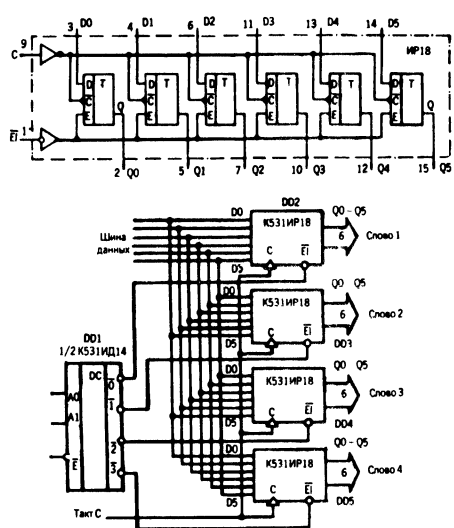
K531IP20 — 4-разрядный. У него два пучка А и В по четыре входа D0 ... D3. Пучок называется зарубежным словом port — дверь, открывающаяся и внутрь, и наружу. Порт А выбираем одноразрядным кодом S = H, порт В — S = B. На выбранном порте А или В готовим байт, он появится на выходах Q0 ... Q3 после отрицательного перепада на входе \bar{C} . IP20 принимает коды от двух внешних шин А или В и может посылать их в одну. Дополнительный мультиплексор не нужен. Он имеется на входе D каждого триггера. Ток потребления 120 мА, задержка байта Q0 ... Q3 8 ... 12 нс после прихода - С.



K555IP22 — регистр-защелка входного байта D0 ... D7. По команде $\bar{E}0 = B$, выходные провода разорваны (Z), $\bar{E}0 = H$ — выходы разрешены. При PE = B слово D0 ... D7 можно отобразить на выходах. Когда PE = H, входное слово будет защелкнуто в регистр. Ток потребления 40 мА, время переключения режимов от 20 до 30 нс, переход в Z-состояние — 45 нс. Выходной ток — до 30 мА.

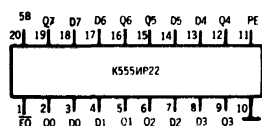
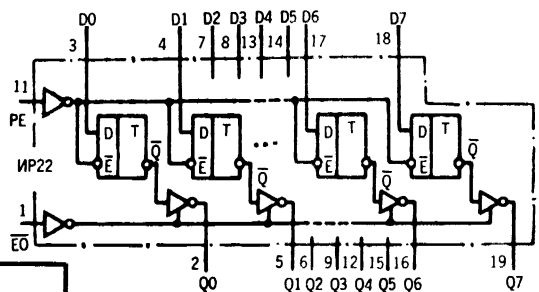
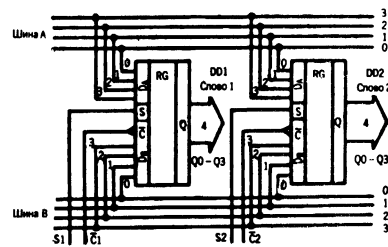
Состояния регистра IP22

Режим работы	Вход			Выход триггера Q	Выход Q0-Q7
	$\bar{E}0$	PE	D _n		
Разрешение и считывание из регистра	H	B	H	H	H
Защелкивание и считывание из регистра	H	B	H	H	H
Защелкивание в регистр, разрыв выходов	B	H	H	H	Z
	B	H	B	B	Z



Состояния регистра IP20

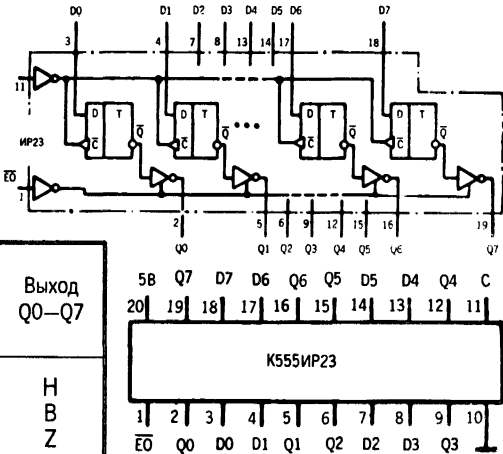
Вход				Выход
S	\bar{C}	D _A	D _B	Q _i
H	↓	H	x	H
H	↓	B	x	B
B	↓	x	H	H
B	↓	x	B	B



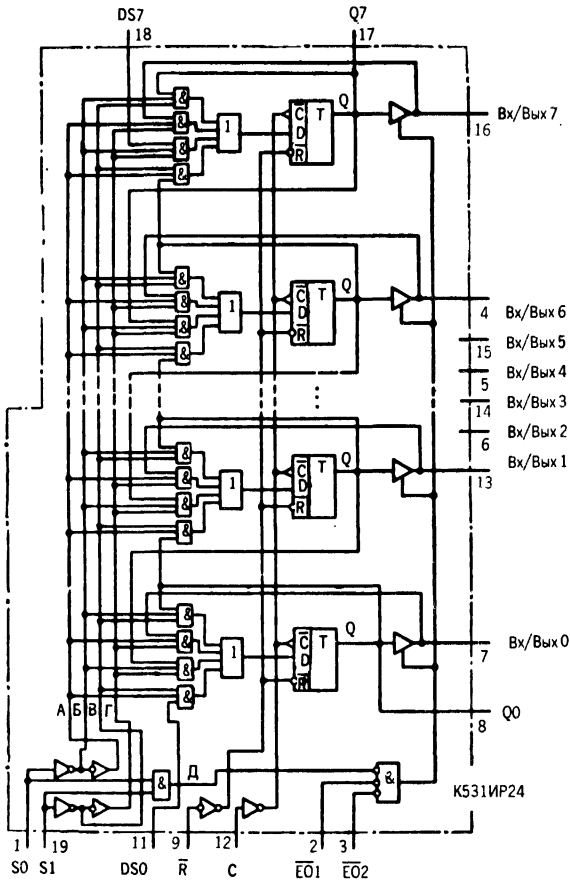
К555ИР23 — аналогичен ИР22, но вместо статического входа параллельной загрузки РЕ устроен положительный тактовый вход С для синхронного отображения байта Q0 ... Q7. Вход С имеет гистерезис Шмитта ± 400 мВ. Ток потребления — 45 мА, ток выхода — 30 мА, задержка вход-выход 40 нс.

Состояния регистра ИР23

Режим работы	Вход			Выход триггера \overline{Q}	Выход Q0—Q7
	$\overline{E0}$	С	D _n		
Загрузка и считывание	Н	↑	н	Н	Н
	Н	↑	в	В	В
Загрузка регистра	В	↑	н	Н	З
и разрыв выходов	В	↑	в	В	З

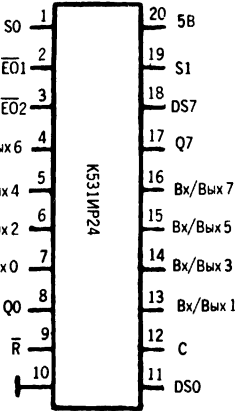


К531ИР24 — регистр 8-разрядный универсальный как сдвиговый (влево-вправо), так и накопительный. Выходные провода (4 ... 7, 13 ... 16) — это порт данных, управляемый по двум входам выбора S0, S1 и парой входов разрешения Z-состояния E01,2. При S0 = S1 = Н порт работает на выход. Если S0 = S1 = В, провода порта принимают слово. Сброс \overline{R} = Н — асинхронный. Вход DS0 принимает последовательное слово слева (сдвигаем вправо), DS7 — прием справа (сдвиг влево). Если использовать последовательные выходы кода Q7 (справа) и Q0 (слева), можем соединять регистры ИР24 последовательно. Для кольцевой рециркуляции соедините Q7 с DS0 (или Q0 с DS7). К531ИР24 потребляет 60 мА, работает на частоте 35 МГц, выход принимает стекающий ток 30 мА. Существует вариант 74LS323 снабженный входом синхронного сброса \overline{SR} = В по +перепадку на входе С.



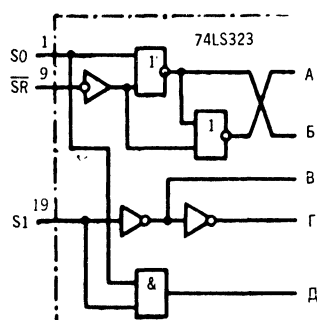
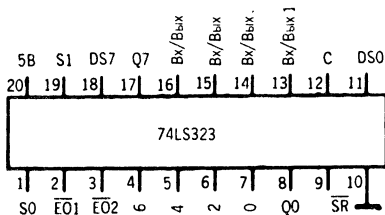
Режимы работы регистра К531ИР24

Режим работы	Вход						Выход			Вход \overline{SR} для 74LS323
	\overline{R}	С	S0	S1	DS0	DS7	Вх/Вых	Q0	Внутри регистра Q1—Q6	Q7
Сброс	Н	х	х	х	х	х	х	Н	Н—Н	Н
	В	↑	в	н	н	х	х	В	q0—q5	в
Сдвиг вправо	В	↑	в	н	в	х	х	В	q0—q5	в
	В	↑	н	в	х	н	х	В	q1—q6	в
Сдвиг влево	В	↑	н	в	х	в	х	В	q1—q6	в
Хранение	В	↑	н	н	х	х	х	В	q1—q6	в
Параллельная загрузка	В	↑	в	в	х	х	н	В	Н—Н	в
	В	↑	в	в	х	х	в	В	В—В	в

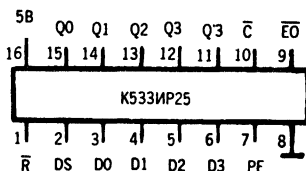


Управление выходами регистра K531IP24

Режим работы	Вход					Выходы Вх/Вых0— Вх/Вых7
	$\overline{E0}$	$\overline{E0}$	S0	S1	Q_n (в регистре)	
Считывание из регистра	H H H	H H H	H x x	x x H	H B B	Выходы данных
Загрузка в регистр	x	x	B	B	$Q_n = V_x / V_{yx}$	Входы данных
Разрыв выводов Вх/Вых	x B	B x	x x	x x	x x	Z Z

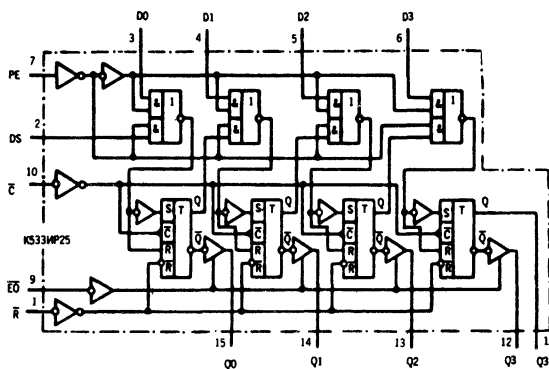


K533IP25 — регистр сдвига. Выходы Q0 ... Q3 с Z-состоянием, если $\overline{E0} = H$. Выход Q3 не коммутируется, от него берут сигнал на последовательный вход DS следующего регистра. Этот вход, входы D0 ... D3 и PE — синхронные. При PE = B загрузка параллельная, PE = H — синхронная после — перепада на C. Сброс в ноль при R = H — асинхронный. Ток потребления — 34 мА, ток выхода — 30 мА, тактовая частота — 30 МГц.



Режимы выходов регистра K533IP25 с тремя состояниями

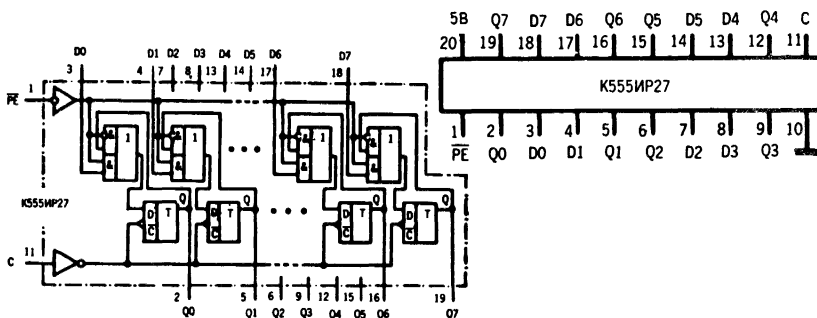
Режим работы	Вход		Выход	
	$\overline{E0}$	Состояния выходов Q_n в регистре	Q0—Q3	Q3
Считывание из регистра	H	H	H	H
Разрыв выходов	H	B	B	B
Выходов	B	B	Z	H
	B	B	Z	B



Состояния регистра K533IP25

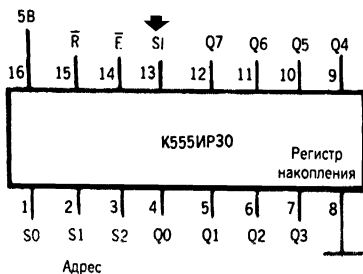
Режим работы	Вход				Выход				
	\overline{R}	\overline{C}	PE	DS	D_n	Q0	Q1	Q2	Q3
Сброс	H	x	x	x	x	H	H	H	H
Сдвиг вправо	B	↓	H	B	x	H	q ₀	q ₁	q ₂
Параллельная загрузка	B	↓	B	x	H	H	q ₀	q ₁	q ₂
	B	↓	B	x	H	H	H	H	H
	B	↓	B	x	B	B	B	B	B

K555IP27 — регистр сдвига на 8 разрядов. отклик на +перепад C. Потребление — 27 мА, тактовая частота до 30 МГц. Параллельная загрузка синхронная при PE = H как

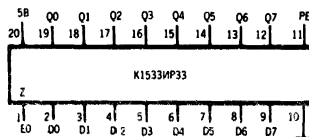


Состояния регистра K555IP27

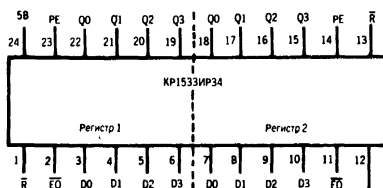
Режим	Вход			Выход
	C	PE	D_n	
Загрузка 1	↑	H	B	B
Загрузка 0	↑	H	H	H
Хранение	↑	B	x	Без изменения То же
	x	B	x	



КР1533ИР33 — 8-разрядный регистр отображения без входа С. Совпадает по цоколевке и применению с микросхемой К555ИР22. Ток потребления 10 мА.



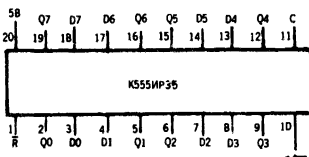
К1533ИР34 содержит два четырехразрядных регистра без входа С. Сброс \bar{R} при уровне Н. Выходы разомкнутся в Z-состояние, если $\bar{E0} = В$. Запись в регистр разрешена, если $PE = Н$. Потребление — 10 мА, задержка записи — 40 нс.



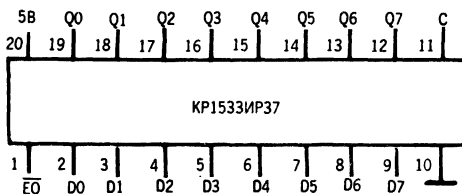
ИР34

Режим	Вход				Выход Q
	$\bar{E0}$	PE	\bar{R}	D	
Сброс	Н	Х	Н	Х	Н
Запись	Н	В	В	В	В
	Н	В	В	Н	Н
Хранение	Н	Н	В	Х	Q_n
Разрыв Z	В	Х	Х	Х	Z

К555ИР35 — 8-разрядный регистр отображения сдвига со входом на С (вместо PE для ИР33) и \bar{R} (вместо $\bar{E0}$ для сходного по цоколевке ИР23). Ток потребления 12 мА, задержка — 40 нс.

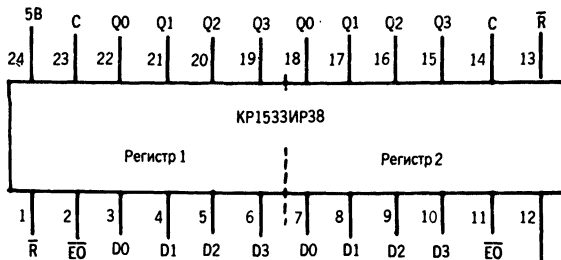


КР1533ИР37 — 8-разрядный регистр отображения/сдвига, сходный по цоколевке и таблице состояний с регистром ИР23. При статическом уровне $C = Н$ или $C = В$ и $\bar{E0} = Н$, предыдущие данные Q_n в регистре сохраняются. Ток потребления — 12 мА.



ИР37

Входы			Выход
$\bar{E0}$	C	D	Q
Н	↑	В	В
Н	↑	Н	Н
Н	Н/В	Х	Q_n
В	Х	Х	Z



КР1533ИР38 — микросхема, аналогичная ИР34, но оба входа разрешения параллельной записи PE заменены входами тактовыми С. По +перепаду С бит данных В или Н вносится в регистр. Условия хранения как в ИР34.

ИР38

Входы				Выход
$\bar{E0}$	\bar{R}	C	D	Q
Н	Н	Х	Х	Н
Н	В	↑	В	В
Н	В	↑	Н	Н
Н	В	Н/В	Х	Q_n
В	Х	Х	Х	Z

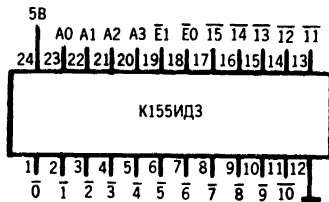
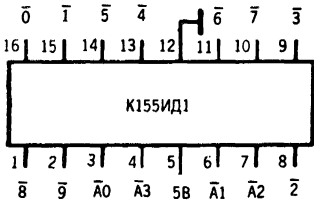
12. ДЕШИФРАТОРЫ И ШИФРАТОРЫ

Дешифратор принимает двоичный код на своих параллельных входах. Активным становится только один выход, номер которого соответствует принятому коду. Например, входной код 1001 выбирает выход с номером 9. Остальные выходы — пассивны. Шифратор принимает команду только по одному входному проводу (например, по девятому) и выставляет двоичный код на параллельных выходах (здесь: выходов 4, код 1001). Входы шифратора сделаны приоритетными. Если по ошибке активизированы кроме входа 9 еще 5 и 3, то срабатывает приоритет старшего, девятого. Каналы 5 и 3 игнорируются. Код на выходах: 1001.

Дешифраторы (ИД) и шифраторы (ИВ)

Серия	Обозначение	Номер микросхемы											
		1	3	4	5	6	7	10	14	18	1	2	3
K155 KM155 K555 KM555 K531 KP1533 KP1531	ИД	+	+	+				+					
		+		+	+	+	+	+		+			
				+	+								
			+	+			+		+				
							+						
K555 KM555	ИВ										+	533	+
											+		
74	—	141	154	155	156	42	138	145	139	247	148	348	147

K155ИД1 — дешифратор двоично-десятичного кода для зажигания цифр на газоразрядном индикаторе. Выходы — с открытыми коллекторами. Входы А0 ... А3 переводят в номер выхода одну декаду. Шесть кодов, возможных для старших цифр от 10 до 15, игнорируются. Активный выход замыкает на ноль катод выбранной цифры.



Состояния дешифратора K155ИД1

Выход				Выход с низким уровнем Н
A3	A2	A1	A0	
Н	Н	Н	Н	0
Н	Н	Н	В	1
Н	Н	В	Н	2
Н	Н	В	В	3
Н	В	Н	Н	4
Н	В	Н	В	5
Н	В	В	Н	6
Н	В	В	В	7
В	Н	Н	Н	8
В	Н	Н	В	9
В	Н	В	Н	Все выходы отключены
В	В	В	Н	
В	В	Н	В	
В	В	В	В	

K155ИД3 — преобразует полный двоичный четырехразрядный код в активный сигнал Н на выходе с нужным десятичным номером. Два вывода E0 и E1 служат для запрета приема кодов (при E0 = В или E1 = В) или для разрешения дешифрации, когда E0 = E1 = Н. ИД3 можно использовать как коммутатор-демультиплексор последовательных слов на любой из 16 выходов. Даем на входы А3 ... А0 байт нужного нам адреса (1001 — это 9). Входы

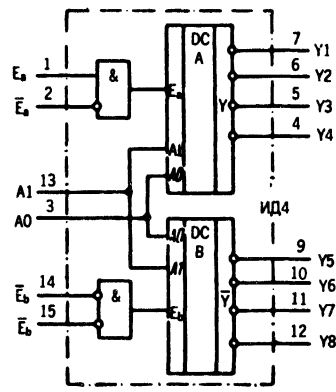
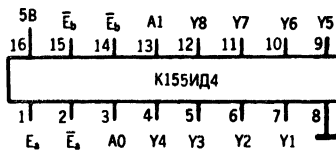
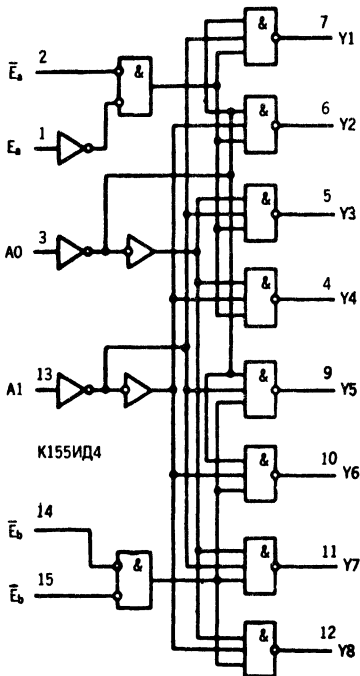
E0, E1 (или оба) принимают последовательные слова, которые появятся без инверсии на выходе (у нас: 9). Ненужный вход E заземляем. Если входной байт А0 ... А3 генерируется асинхронным счетчиком, с помощью входов E0,1 его можно синхронизировать, устранив "подмаргивание" выходных индикаторов в ответ на ложные входные коды. Для K155ИД3 ток питания 56 мА, задержки "вход — выход" — 35 нс. Вариант K1533 потребляет примерно 7 мА.

Состояния дешифратора K155ИД3

Вход					Выход							
\bar{E}_0	\bar{E}_1	A3	A2	A1	A0	$\bar{0}$	$\bar{1}$	$\bar{2}$	---	$\bar{13}$	$\bar{14}$	$\bar{15}$
H	H	H	H	H	H	H	B	B		B	B	B
H	H	H	H	H	H	B	H	B		B	B	B
H	H	H	H	H	H	B	B	H		B	B	B
H	H	H	H	H	H	B	B	B		B	B	B
H	H	H	H	B	H	B	B	B		B	B	B
H	H	H	H	B	B	B	B	B		B	B	B
H	H	H	B	H	H	B	B	B		B	B	B
H	H	H	B	B	H	B	B	B		B	B	B
H	H	H	B	B	B	B	B	B		B	B	B
H	H	B	H	H	H	B	B	B		B	B	B
H	H	B	H	B	H	B	B	B		B	B	B
H	H	B	H	B	B	B	B	B		B	B	B
H	H	B	B	H	H	B	B	B		B	B	B
H	H	B	B	B	H	B	B	B		B	B	B
H	H	B	B	B	B	B	B	B		B	B	B
H	B	x	x	x	x	B	B	B	---	B	B	B
B	B	x	x	x	x	B	B	B	---	B	B	B
B	B	x	x	x	x	B	B	B	---	B	B	B

K155ИД4 — два дешифратора 2-разрядного кода A0 ... A1. У них разные полярности входов разрешения (вход E_a — прямой, остальные — инверсные). Оба дешифратора кроме обычного включения можно использовать как демультиплексоры (один вход \bar{E}_a — четыре выхода Y1 ... Y4 или один вход $E_a + \bar{E}_b$ — 8 выходов Y1 ... Y8) и как дешифратор с 8 выходами: соедините E_a и \bar{E}_b — теперь это вход старшего разряда A2 для входного слова, замкните \bar{E}_b с \bar{E}_a — вход разрешения. K155ИД4 потребляет 40 мА, вариант K555 — 10 мА. Время задержки не более 32 нс.

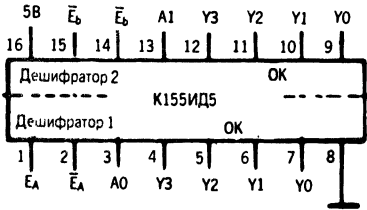
K555ИД5 — вариант ИД4, имеет выходы с ОК.



Состояния дешифраторов K155ИД4 (дешифратор: два входа, четыре выхода; демультиплексор: один вход четыре выхода)

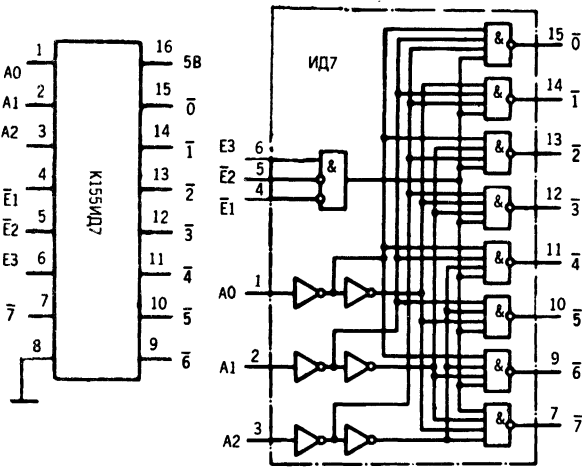
Вход				Выход			
Адрес		Разрешение	Данные				
A0	A1	\bar{E}_a	E_a	Y1	Y2	Y3	Y4
x	H	B	x	B	B	B	B
H	H	H	B	H	H	H	H
H	B	H	B	B	B	B	B
B	H	H	B	B	B	B	B
B	B	H	B	B	B	B	B
B	B	B	B	B	B	B	B
B	B	B	B	B	B	B	B

Состояния дешифратора ИД4 (дешифратор: три входа, восемь выходов; демультиплексор: один вход восемь выходов)



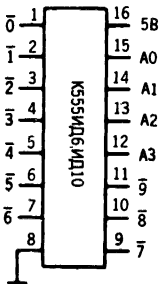
Вход				Выход							
Адрес			Разрешение или данные	0	1	2	3	4	5	6	7
Е _а и Е _б	A0	A1	Е _а и Е _б	у5	у6	у7	у8	у1	у2	у3	у4
х н н н н в в в в в	х н н в в н н н н в	х н в в в н н в н в	в н н н н н н н н н	в н в в в в в в в в	в в н в в в в в в в	в в н в в н в в в в	в в в н в н в в в в	в в в в в н н н н в	в в в в в н н н н в	в в в в в н н н н в	в в в в в н н н н н

К555ИД7 — дешифратор 3-разрядного кода А0 ... А2 в уровень Н на одном из 8 выходов: $\bar{0} \dots \bar{7}$. Входов разрешения — три. Дешифрация происходит при $E3 = B$, $\bar{E1} = \bar{E2} = H$. Другое сочетание уровней дает В на всех выходах. Прибор работает как мультиплексор с 8 выходами: данные поступают на любой вход Е, на остальные — даем уровень разрешения выхода, выбранного байтом адреса А0 ... А2. Неполный, на 24 выхода дешифратор 5-разрядного кода А0 ... А4 получается простым соединением одноименных входов трех микросхем. Вход А3 — общий провод Е, А4 — \bar{E} . Оставшийся вход \bar{E} — разрешение. Добавив инвертор, получим от четырех ИД7 32 выхода. К531ИД7 потребляет 74 мА, К555ИД7 — 10 мА. Время задержки — 12 и 39 нс соответственно.



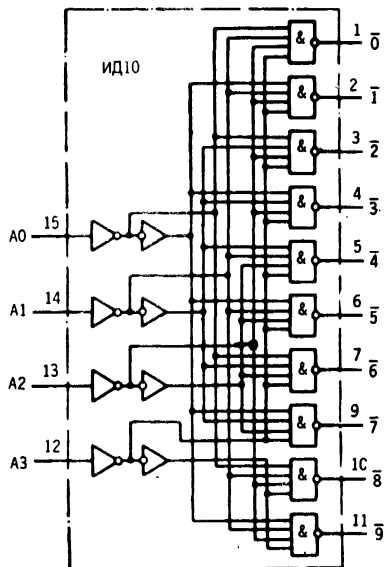
Состояния дешифратора ИД7

Вход						Выход							
$\bar{E}1$	$\bar{E}2$	E3	A0	A1	A2	0	1	2	3	4	5	6	7
H x x H H H H H H H H	x B x H H H H H H H H	x x H B B B B B B B B	x x x H B B H B H B B	x x x H H B B H H B B	x x x H H H B B B B B	B B B H B B B B B B B	B B B B H B B B B B B	B B B B B H B B B B B	B B B B B B H B B B B	B B B B B B B H B B B	B B B B B B B B H B B	B B B B B B B B B H B	B B B B B B B B B B H



К555ИД6 и К555ИД10 преобразует двоично-десятичные разряды $A_0 \dots A_3$ (1 – 2 – 4 – 8) в низкий уровень на одном из десяти выходов $\bar{0} \dots \bar{9}$. Избыточные коды дают на всех выходах уровни В. Можно дешифровать 3-разрядный код $\bar{A}_0 \dots \bar{A}_2$ на 8 выходов. Вход $A_3 = N$ разрешит выходы $\bar{0} \dots \bar{7}$. Если на A_3 подать последовательный поток дан-

ных, он появится на одном из 8 выходов, выбранном адресом $A_0 \dots A_2$ (схема мультиплексора). Выходы К155ИД10 имеют открытые коллекторы. Ток питания — 70 мА, стекающий ток — до 80 мА (стекающий ток для К555ИД6 — 8 мА, питания — для К555ИД6 и ИД10 — 13 мА). Для всех вариантов задержка исполнения не более 50 нс.



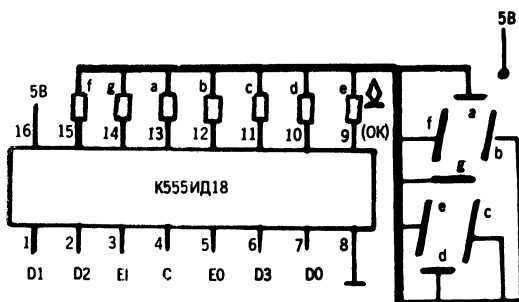
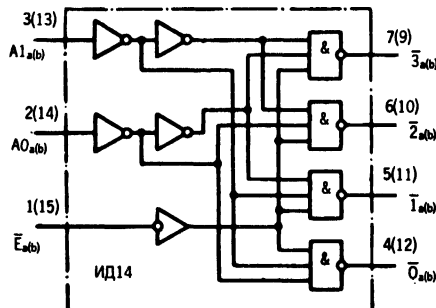
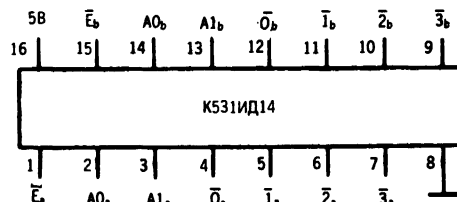
Состояния дешифраторов ИД6 и ИД10

Вход				Выход									
$\bar{A}3$	$\bar{A}2$	$\bar{A}1$	$\bar{A}0$	$\bar{0}$	$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$	$\bar{8}$	$\bar{9}$
В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В
В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	В В В В В В В В В В	Все уровни высокие									

К531ИД14 — в отличие от ИД4 и ИД5 содержит два дешифратора с независимыми адресными входами $A0 \dots A1$. Разрешен выбор выхода, если $\bar{E} = H$ (это вход данных в режиме мультиплексора на 4 выхода). Потребление: К531ИД14 — 90 мА, КР153ИД14 — 15 мА.

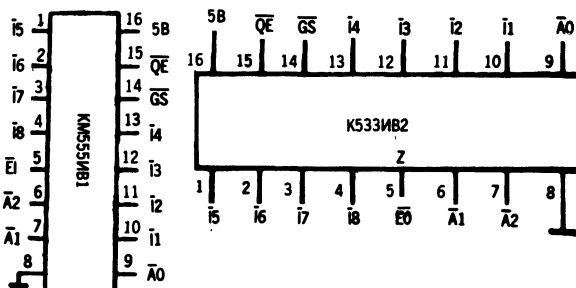
Состояния дешифратора из К531ИД14

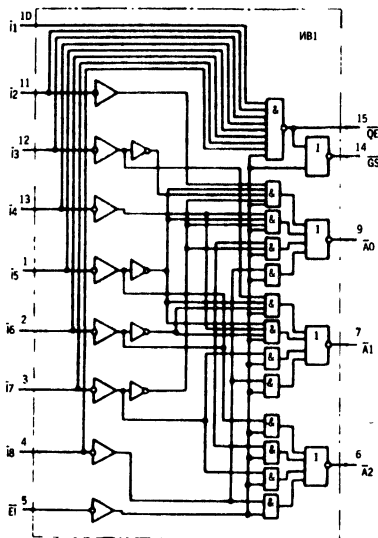
Вход			Выход			
\bar{E}	$A0$	$A1$	$\bar{0}$	$\bar{1}$	$\bar{2}$	$\bar{3}$
В В В В В В В В	Х В В В В В В В	Х В В В В В В В	В В В В В В В В	В В В В В В В В	В В В В В В В В	В В В В В В В В



К555ИД18 — декадный дешифратор двоично-десятичного кода $D0 \dots D3$. На семи его выходах $a \dots f$ появляется семисегментный код зажигания цифр одного разряда от 0 до 9.

КМ555ИВ1 — приоритетный шифратор. Принимает активный сигнал H на один из входов $I1 \dots I8$, генерирует 3-разрядный байт $A0 \dots A2$. Высший приоритет у входа $I8$. Шифрация разрешена, если $EI = B$, на всех выходах — B . Выходы GS (групповой сигнал) и QE (разрешение от выхода) необходимы для соединения нескольких шифраторов. КМ555ИВ1 потребляет 60 мА, задержка до выхода A — 19 нс, до выхода GS — 30 нс.

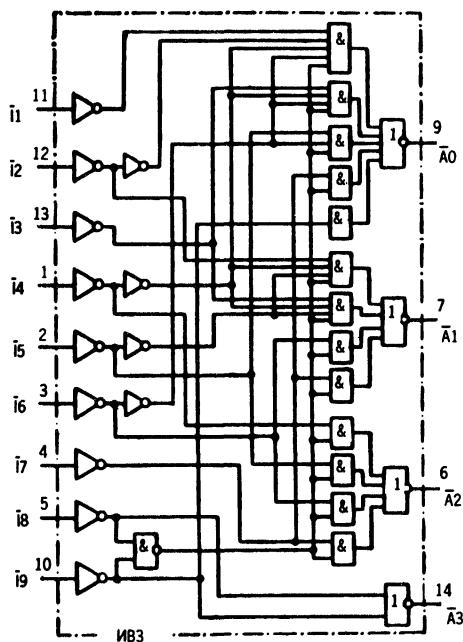
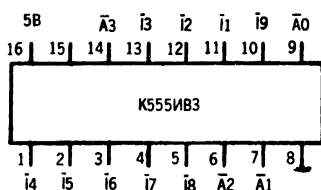




Состояния шифратора КМ555ИБ1

Вход									Выход				
$\bar{E}1$	$\bar{I}1$	$\bar{I}2$	$\bar{I}3$	$\bar{I}4$	$\bar{I}5$	$\bar{I}6$	$\bar{I}7$	$\bar{I}8$	\overline{GS}	$\bar{A}0$	$\bar{A}1$	$\bar{A}2$	\overline{QE}
В	Х	Х	Х	Х	Х	Х	Х	Х	В	В	В	В	В
Н	В	Х	Х	Х	Х	Х	Х	Н	Н	Н	Н	Н	Н
В	Х	Х	Х	Х	Х	Х	Н	В	В	В	В	В	В
Н	В	Х	Х	Х	Х	Н	В	В	Н	Н	Н	Н	Н
В	Х	Х	Х	Х	Н	В	В	В	В	В	В	В	В
Н	В	Х	Х	Н	В	В	В	В	Н	Н	Н	Н	Н
В	Х	Х	Н	В	В	В	В	В	В	В	В	В	В
Н	В	Х	Н	В	В	В	В	В	Н	Н	Н	Н	Н
В	Х	Н	В	В	В	В	В	В	В	В	В	В	В
Н	В	Н	В	В	В	В	В	В	Н	Н	Н	Н	Н

К555ИБ3 — декадный шифратор, он дает на четырех выходах $A0 \dots A3$ двоично-десятичный код от 0001 ($\bar{I}1 = Н$) до 1001 ($\bar{I}9 = Н$). Десятого входа $\bar{I}0$ для кодирования нуля нет. Код на выходе 0000 (ВВВВ) появится, если на всех девяти входах уровни В. К555ИБ3 потребляет 70 мА, время задержки до 20 нс.



Состояния шифратора К555ИБ3

Вход									Выход			
$\bar{I}1$	$\bar{I}2$	$\bar{I}3$	$\bar{I}4$	$\bar{I}5$	$\bar{I}6$	$\bar{I}7$	$\bar{I}8$	$\bar{I}9$	$\bar{A}3$	$\bar{A}2$	$\bar{A}1$	$\bar{A}0$
В	В	В	В	В	В	В	В	В	В	В	В	В
Х	Х	Х	Х	Х	Х	Х	Х	Н	Н	Н	Н	Н
Х	Х	Х	Х	Х	Х	Н	В	В	В	В	В	В
Х	Х	Х	Х	Х	Н	В	В	В	В	В	В	В
Х	Х	Х	Н	В	В	В	В	В	В	В	В	В
Х	Х	Н	В	В	В	В	В	В	В	В	В	В
Х	Н	В	В	В	В	В	В	В	В	В	В	В
Н	В	В	В	В	В	В	В	В	В	В	В	В
Н	В	В	В	В	В	В	В	В	В	В	В	В

13. МУЛЬТИПЛЕКСОРЫ

Мультиплексор — это коммутатор нескольких цифровых входов на один выход. Мультиплексор имеет входы выбора такого канала передачи. Например, для 16-входового мультиплексора, четырехразрядный код выбора 1001 соединит с выходом вход №9, который будет транслировать на вы-

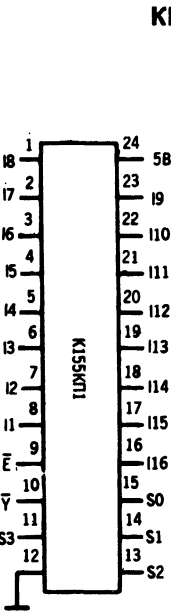
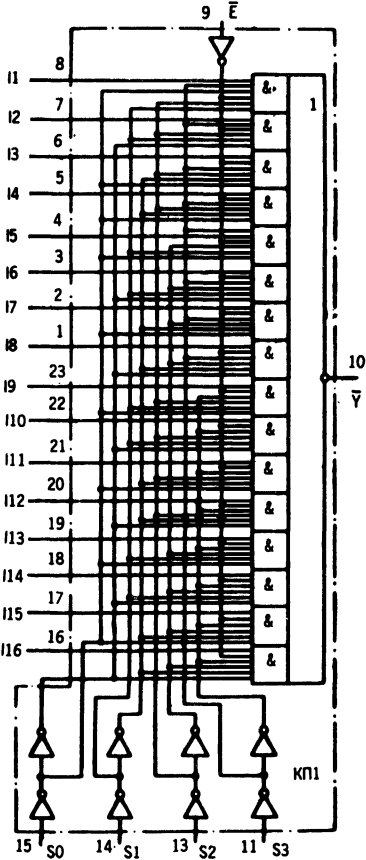
ход последовательные цифровые байты. Остальные 15 входов не выбраны и с выходом не связаны. Способность выбирать канал связи отражается в двойном названии таких микросхем: селекторы-мультиплексоры.

Мультиплексоры

Серия	Обозначение	Номер													
		1	2	5	7	11	12	13	14	15	16	17	18	19	20
K155 KM155 K555 KM555 K531 KP1533 KP1531	КП	+	+	+	+		+	+	+	+	+	+			+
74	—	150	153	152	151	257	253	298	258	251	157	353	158		

K155КП1 — 16-канальный цифровой переключатель с инверсным выходом. Входы адреса S0 ... S3 — могут принять 16 четырехразрядных байтов, чтобы выбрать независимо любой канал от I1 до I16.

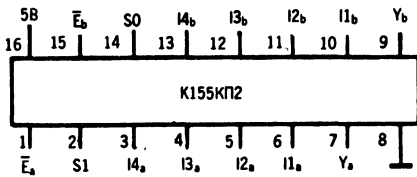
Общий для всех каналов И/ИЛИ вход И вместе с инвертором образует вывод разрешения \bar{E} . Если $\bar{E} = В$, уровень на выходе $Y = В$. При $\bar{E} = Н$ коммутации разрешены. Ток потребления 68 мА, время выбора канала 35 нс.

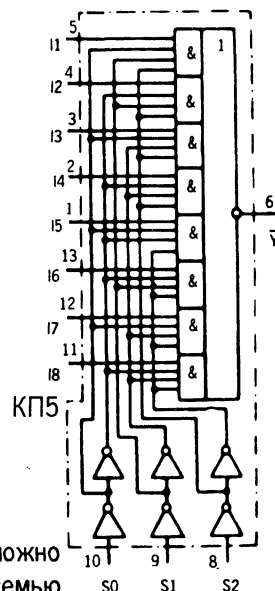


КП1

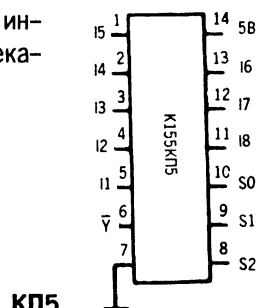
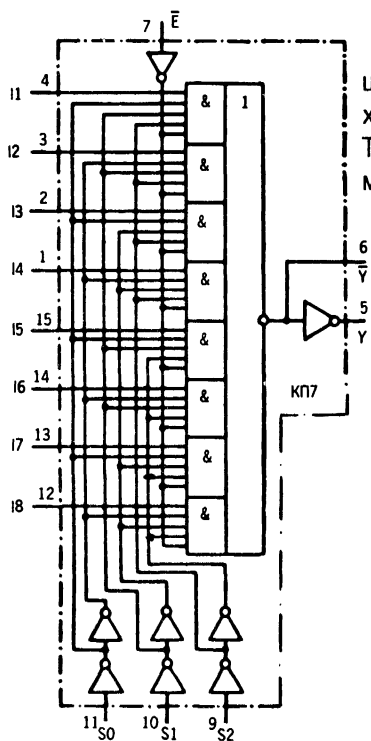
Вход					Выход \bar{Y}
Выбор				Разрешение \bar{E}	
S3	S2	S1	S0		
х	х	х	х	В	В
н	н	н	н	н	\bar{I}_1
н	н	н	в	н	\bar{I}_2
н	н	в	н	н	\bar{I}_3
н	н	в	в	н	\bar{I}_4
н	в	н	н	н	\bar{I}_5
н	в	н	в	н	\bar{I}_6
н	в	в	н	н	\bar{I}_7
н	в	в	в	н	\bar{I}_8
в	н	н	н	н	\bar{I}_9
в	н	н	в	н	\bar{I}_{10}
в	н	в	н	н	\bar{I}_{11}
в	н	в	в	н	\bar{I}_{12}
в	в	н	н	н	\bar{I}_{13}
в	в	н	в	н	\bar{I}_{14}
в	в	в	н	н	\bar{I}_{15}
в	в	в	в	н	\bar{I}_{16}

K531КП2 — два четырехвходовых мультиплексора с общими входами выбора S0, S1, но с собственными входами разрешения \bar{E} . Выходы Y — без инверсии. Если $\bar{E} = В$, коммутация не разрешается, на выходе $Y = Н$. Микросхему можно использовать как два функциональных генератора переменных I,A и I,B. Ток потребления — 70 мА.



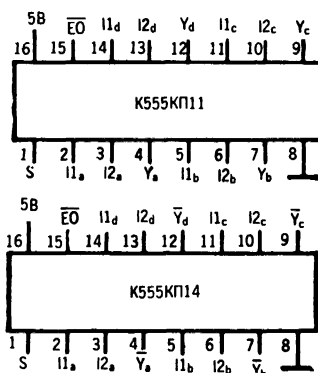
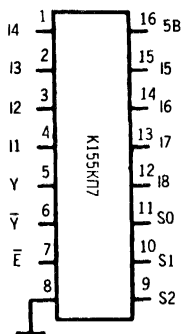


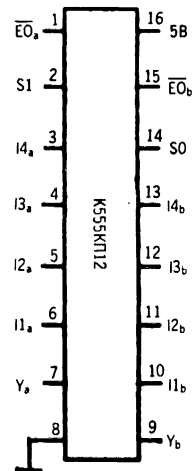
К155КП7 — в отличие от КП5 есть вход разрешения \bar{E} и дополнительный комплементарный выход Y . Если $\bar{E} = B$, коммутации нет и $Y = H'$, а $\bar{Y} = B$. Токи потребления: 12 мА (К1533), 10 мА (К555), 48 мА (К155) и 70 мА (К531).



Вход				Выход	
Выбор			Разрешение		
S2	S1	S0	\bar{E}	Y	\bar{Y}
x	x	x	B	H	B
H	H	H	H	11	$\bar{1}$ 1
H	H	B	H	12	$\bar{1}$ 2
H	B	H	H	13	$\bar{1}$ 3
H	B	B	H	14	$\bar{1}$ 4
B	H	H	H	15	$\bar{1}$ 5
B	H	B	H	16	$\bar{1}$ 6
B	B	H	H	17	$\bar{1}$ 7
B	B	B	H	18	$\bar{1}$ 8

кп5								Выход \bar{Y}
Выбор входа			Вход данных					
S2	S1	S0	I1	I2		I7	I8	
Н	Н	Н	Н	х		х	х	В
Н	Н	Н	В	х		х	х	Н
Н	Н	В	х	Н		х	х	В
Н	Н	В	х	В		х	х	Н
Н	В	Н	х	х		х	х	В
Н	В	В	х	х		х	х	Н
Н	В	В	х	х		х	х	В
В	Н	Н	х	х		х	х	Н
В	Н	В	х	х		х	х	В
В	Н	В	х	х		х	х	Н
В	В	Н	х	х		х	х	В
В	В	В	х	х		х	х	Н
В	В	В	х	х		Н	В	В
В	В	В	х	х		х	Н	В

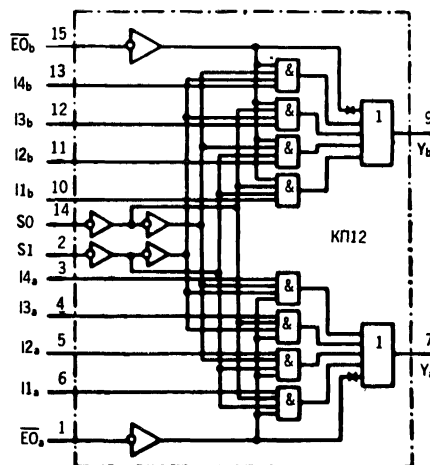




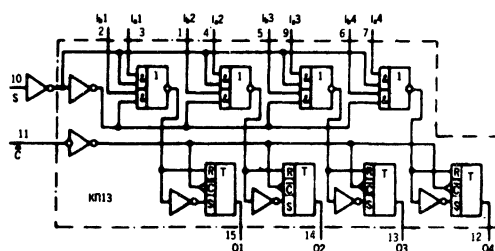
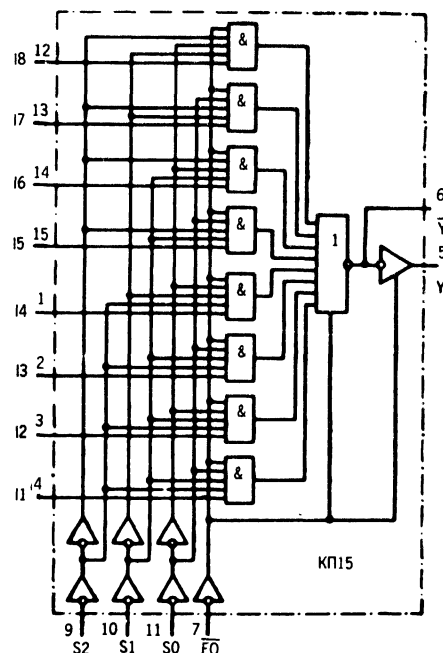
Pinout diagram for K555KP13. The package is labeled K555KP13. The pins are numbered 1 to 16. The functions of the pins are as follows:

Pin Number	Function
1	L2
2	L1
3	L1
4	L2
5	L3
6	L4
7	L4
8	L4
9	I3
10	S
11	C̄
12	Q4
13	Q3
14	Q2
15	Q1
16	5B

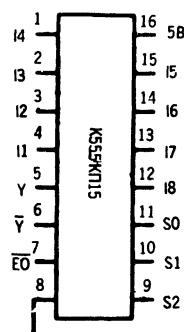
Режим	Вход				Выход Q_n
	\bar{C}	S	I1	I2	
Загрузка от входа I1	↓ ↓	н н	н в	х х	Н В
Загрузка от входа I2	↓ ↓	в в	х х	н в	Н В

[illegible]

мым на вход S. Байт A или B попадает в регистр синхронно с –перепадом на входе C. Ток потребления 21 мА, время отклика от сигнала до выходов Q0 ... Q3 — 32 нс.



К555КП15 — модификация КР7, снабженная выходами с Z-состоянием (при $\overline{E0} = B$), что позволяет объединить (мультиплексировать) до 128 выходов КП15. Получим 1024 цифровых выхода. В схеме генератора, дающего 128 импульсов, между импульсами $\overline{E0} = B$, следует предусмотреть защитные паузы, чтобы не было взаимных замыканий выходов Y. Токи: потребления — 85 мА, выходной — 40 мА (К531), 12 и 30 мА (К555), 10 и 20 мА (КР1533). Задержка до выходов $Y + \overline{Y}$: (12 + 7) нс, (28 + 15) нс и (10 + 4) нс по порядку этих серий.

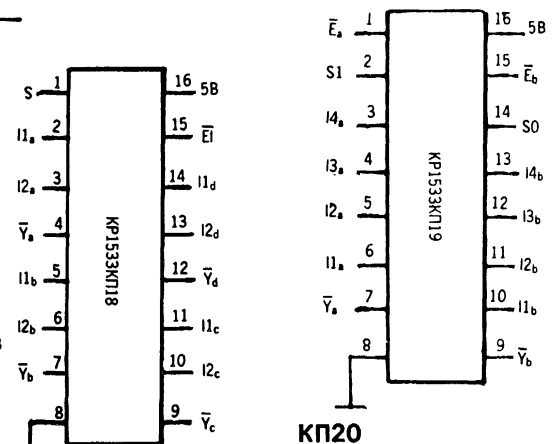
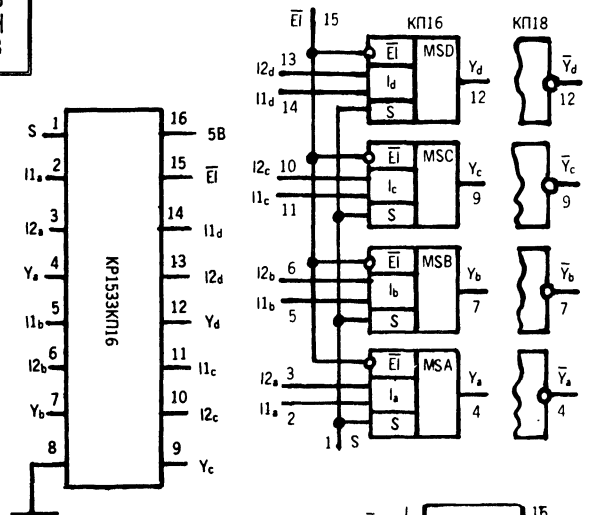
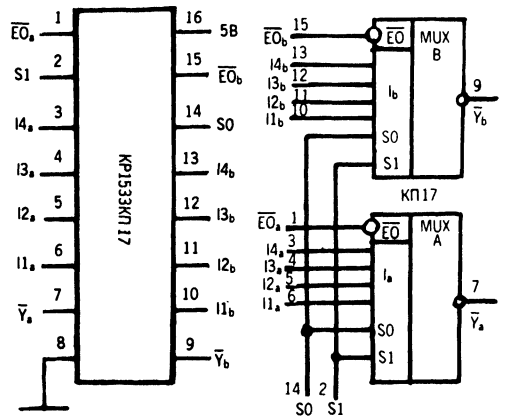


Выбор				Вход					Выход КП15	
E0	S2	S1	S0	I1	I2	---	I7	I8	Y	y
B	x	x	x	x	x	---	x	x	Z	Z
H	H	H	H	H	x	---	x	x	B	H
H	H	H	H	B	x	---	x	x	B	H
H	H	H	B	x	H	---	x	x	B	H
H	H	H	B	x	B	---	x	x	B	B
H	H	B	H	x	x	---	x	x	B	B
H	H	B	B	x	x	---	x	x	B	B
H	H	B	B	x	x	---	x	x	B	B
H	B	H	H	x	x	---	x	x	B	B
H	B	H	B	x	x	---	x	x	B	B
H	B	B	H	x	x	---	x	x	B	B
H	B	B	B	x	x	---	x	x	B	B
H	B	B	B	x	x	---	H	x	B	B
H	B	B	B	x	x	---	B	x	B	B
H	B	B	B	x	x	---	x	H	B	B
H	B	B	B	x	x	---	x	B	B	B

КР1533КП16 и КП18 — сходны с КП11 и КП14 соответственно, однако вместо режима Z-выходов, организовано входное разрешение \overline{EI} . При $\overline{EI} = V$ входы индифферентны, выходные уровни зафиксированы. Ток питания 11 мА, задержки — 15 ... 25 нс в разных режимах.

КП16
КП18

Вход				Выход	
\bar{E}	S	I_1	I_2	КП16 Y	КП18 \bar{Y}
В	Х	Х	Х	Н	В
Н	Н	Н,В	Х,Х	Н,В	В,Н
Н	В	Х,Х	Н,В	Н,В	В,Н



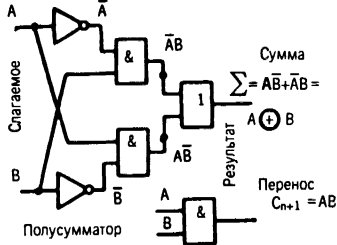
Вход		Выход			
S	C	Y_D	Y_C	Y_B	Y_A
H	\uparrow	I_1	I_1	I_1	I_1
B	\uparrow	I_2	I_2	I_2	I_2
X	H	Защелка			

49

14. СУММАТОРЫ

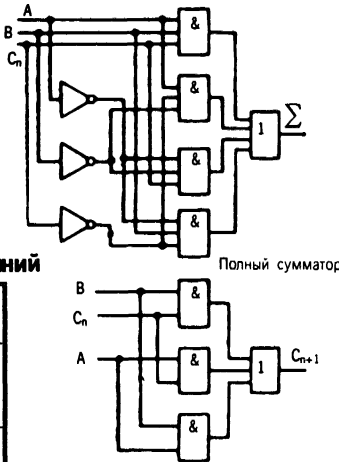
Сумматор — Σ складывает числа, представленные в двоичном коде. Пример — сложение двух одноразрядных чисел: $0 + 0 = 0$, $1 + 0 = 1$, $0 + 1 = 1$ и $1 + 1 = 10$ (т.е. 2). Это число двухразрядное, состоит из суммы Σ и старшего разряда — единицы переноса C_{n+1} . Простейший генератор единицы C_{n+1} — это элемент И, его надо добавить к

схеме сумматора по модулю два т.е. к исключающему ИЛИ. Полный сумматор имеет вход приема единицы переноса C_n от предыдущего каскада (n — число разрядов в суммируемых словах). Выходной код полного одноразрядного сумматора — 11 (т.е. 3).



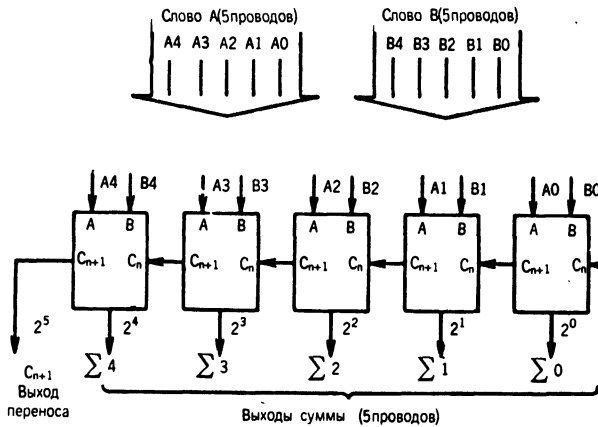
Полусумматор и таблица его состояний

Слагаемое		Результат	
A	B	Сумма Σ	Перенос C_{n+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



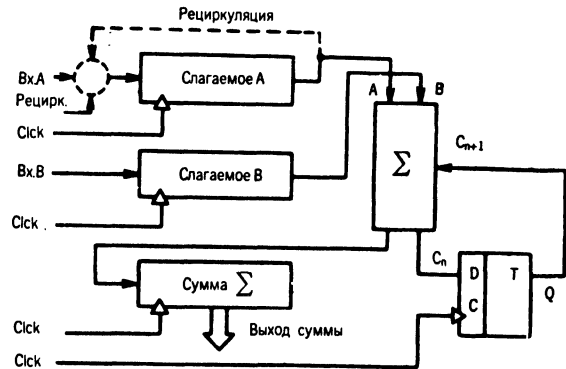
Полный сумматор и таблица его состояний

Слагаемое			Результат суммирования		
C_n	A	B	Двоичный код		Десятичное число
			Σ	C_{n+1}	
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	2
1	0	0	1	0	1
1	0	1	0	1	2
1	1	0	0	1	2
1	1	1	1	1	3



Полные многоразрядные двоичные сумматоры составляются из одноразрядных. Способов выполнения сложения два: параллельный и последовательный. В параллельном пульсирующем сумматоре каждый разряд $A_0, B_0 \dots A_4, B_4$ проходит через свой одноразрядный блок. Получаются суммы: $\Sigma_0 \dots \Sigma_4$. Единицы переносим влево от

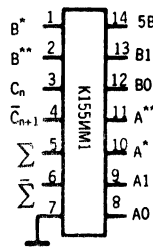
блока к блоку от C_n к C_{n+1} . Максимальная сумма — это $5 + 1$, т.е. шесть единиц (эквивалент 63). Время получения этой суммы определяется скоростью переноса. Достоинство: несложный способ наращивания. Применив схему ускоренного переноса СУП, получим разряд C_n одновременно с суммой. Скорость суммирования здесь наибольшая.



Сумматор синхронный, последовательный состоит из трех регистров, одноразрядного сумматора и триггера задержки. Суммируемые байты A и B загружаем в регистры. При поразрядном сдвиге происходит поразрядное суммирование. Единица переноса запоминается на один такт и добавляет в регистр суммы разряд $C_n + 1$. Достоинство: фиксированное время суммирования.

Сумматоры ТТЛ

Серия	Обозначение	Номер микросхемы					
		1	2	3	5	6	7
K155 KM155 K555 KM555 KP1531	ИМ	+	+	+	+	+	+
74	—	80	82	83	183	283	385

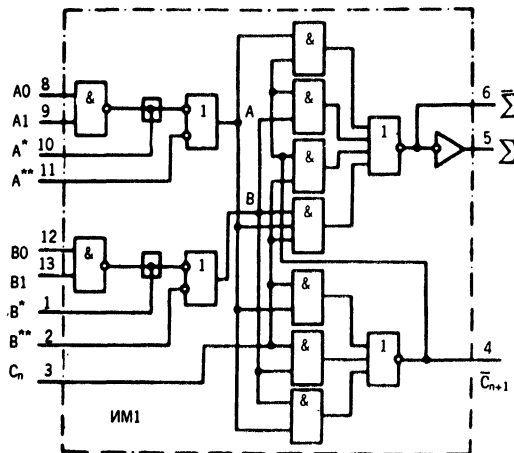
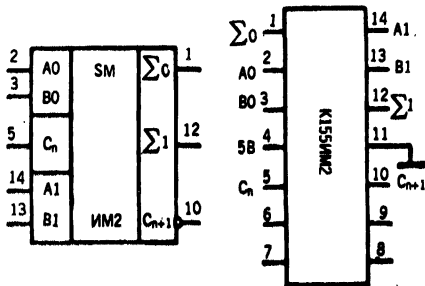


К155ИМ1 — полный сумматор пары двухразрядных чисел А и В. Входная логика имеет инверсные входы А* и В*, входы управления А** и В**, а также принимает разряд переноса Сп. Выход переноса — инверсный \overline{C}_{n+1} . На основе ИМ1 мож-

но собрать параллельные и последовательные сумматоры с разным числом разрядов, пользуясь вспомогательными входами.

Состояния сумматора К555ИМ1

Вход			Выход		
C_n	B	A	\bar{C}_{n+1}	$\bar{\Sigma}$	Σ
И	И	И	В	В	И
И	И	В	В	И	В
И	В	И	В	В	И
И	В	В	И	И	В
В	И	И	И	В	И
В	И	В	И	И	В
В	В	И	И	В	И
В	В	В	И	И	В

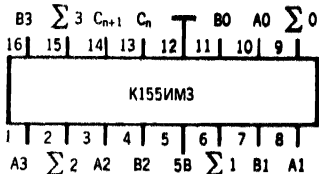


Состояния сумматора К555ИМ2

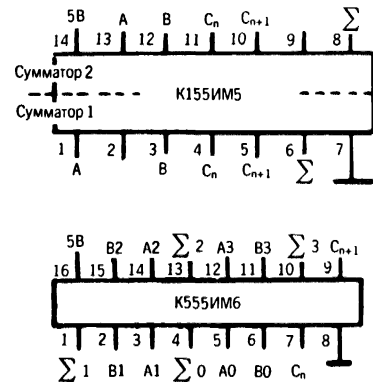
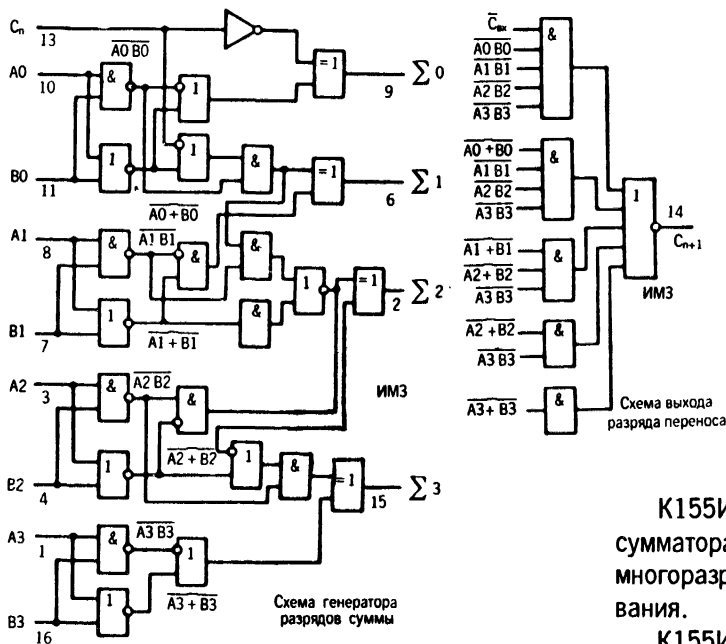
[illegible]

К155ИМ3 — полный сумматор двух 4-разрядных байтов с приемом единицы переноса C_n . На этом кристалле есть СУП, поэтому на выходах разряды суммы и переноса появляются одновременно. Для сокращения времени сумматор можно использовать как с высокоуровневой логикой ($B = 1$), так и с низкоуровневой логикой ($H = 1$). Цифровые результаты суммирования после переименования уровней окажутся различными. Если $B = 1$, необходимо дать $C_n = H$. Прим

Примеры суммирования чисел микросхемы K155ИМ3



Данные на входе	C _n	A0	A1	A2	A3	B0	B1	B2	B3	Σ0	Σ1	Σ2	Σ3	C _{n+1}	Цифровой результат
Электрические уровни	Н	Н	В	Н	В	В	Н	Н	В	В	В	Н	Н	В	
Активный уровень В	0	0	1	0	1	1	0	0	1	1	1	0	0	1	10+9=19
Активный уровень Н	1	1	0	1	0	0	1	1	0	0	0	1	1	0	C _n +5+6=12



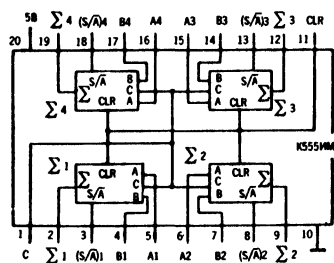
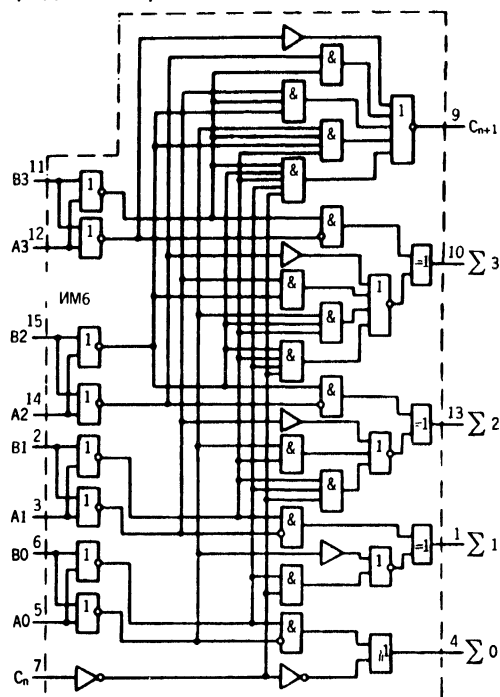
K155IM5 — два независимых одноразрядных сумматора. Из нескольких IM5 можно собрать многоразрядную линейку параллельного суммирования.

K155IM6 — сумматор двух четырехразрядных слов. Как и сумматор IM3 можно использовать с высокоуровневой или низкоуровневой логикой. Он потребляет ток 34 мА, перенос появляется через 17 нс, разряды — через 24 нс.

K555IM7 — четыре последовательных сумматора-вычитателя. Цепи сброса CLR и тактовая С — общие. IM7 применяется совместно с перемножителем K555ИП9. Вход S/\bar{A} (subtractor/adder т.е. вычитатель/сумматор) — управляющий; А, В входы данных; Σ — последовательный выход суммы. Асинхронный сброс происходит без импульса С при CLR = Н, вычитание — при $S/\bar{A} = В$, а суммирование, когда $S/\bar{A} = Н$. После сброса по +перепадку С на внутренние входы переноса заносятся уровни Н (для последующего суммирования, $S/\bar{A} = Н$ или для начала вычитания, $S/\bar{A} = В$). Положительным перепадом С активизируется триггер переноса (см. последовательный сумматор). Вслед за каждым тактом С на Σ -выходе появляется результат сложения А, В и внутреннего предыдущего переноса.

Состояния микросхемы K555IM7

Режим	Вход					Внутренний вход переноса		Выход Σ_{n+1} (после ↑)
	CLR	S/\bar{A}	А	В	С	C_n (до ↑)	C_{n+1} (после ↑)	
Сброс	Н	Н	х	х	х	Н	Н	Н
	Н	В	х	х	х	В	В	Н
Суммирование	В	Н	Н	Н	↑	Н	Н	Н
	В	Н	Н	Н	↑	В	Н	В
	В	Н	Н	В	↑	Н	Н	В
	В	Н	Н	В	↑	В	В	Н
	В	Н	В	Н	↑	Н	Н	В
	В	Н	В	Н	↑	В	В	Н
	В	Н	В	В	↑	Н	В	Н
	В	Н	В	В	↑	В	В	В
Вычитание	В	В	Н	Н	↑	Н	Н	В
	В	В	Н	Н	↑	В	В	Н
	В	В	Н	В	↑	Н	Н	Н
	В	В	Н	В	↑	В	Н	В
	В	В	В	Н	↑	Н	В	Н
	В	В	В	Н	↑	В	В	В
	В	В	В	В	↑	Н	Н	В
	В	В	В	В	↑	В	В	Н



Состояния микросхемы K555ИМ7

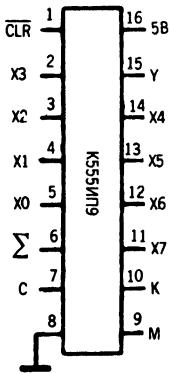
Пример. В строке 9 таблицы: $A = B, B = B, C_n = B$ строке 10: $A + B + C_n = 1 + 1 + 1 = 11$. Результат $1 + 1 + 0 = 10$. Отображение: перенос $C_{n+1} = B$ (т.е. 1), сумма $\sum (n+1) = H$ (т.е. 0).

K555ИП9 — цифровой перемножитель 8-разрядного множимого $X_0 \dots X_7$ поразрядно (по одному биту) на последовательное слово-множитель, поступающего на вход Y . Результат копится внутри в 8 триггерах-защелках. При сбросе даем $CLR = H$, входы X готовы к приему байта-множимого. Для перемножения даем $CLR = B$, открывается на прием вход Y , множитель подается, начиная с млад-

шего разряда. Произведение X (параллельное слово) на Y (поток) поразрядно появляется на выходе $\sum (Q_n + 1)$ после каждого +перепада C . При поразрядном перемножении слово X (m -разрядов) на Y (n -разрядов) \sum (сумма) содержит $(m+n)$ тактовых +перепадов C . Вход M (mode) позволяет изменить режим работы.

Состояния микросхемы K555ИП9

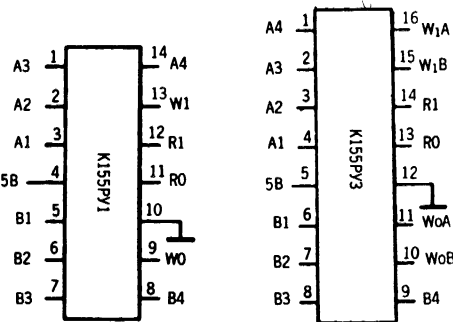
Вход				Внутренний сигнал Y-1	Выход \sum	Функция
\overline{CLR}	C	X_1	Y			
H	x	Данные	x	H	H	Загрузка нового множимого. Сброс регистров суммы и переноса
B	↑	x	H	H	Q_{n+1}	Сдвиг в регистре суммы
B	↑	x	H	B	Q_{n+1}	Прибавление множимого к сумме в регистре и сдвиг
B	↑	x	B	H	Q_{n+1}	Вычитание множимого из суммы регистра и сдвиг
B	↑	x	B	B	Q_{n+1}	Сдвиг в регистре суммирования

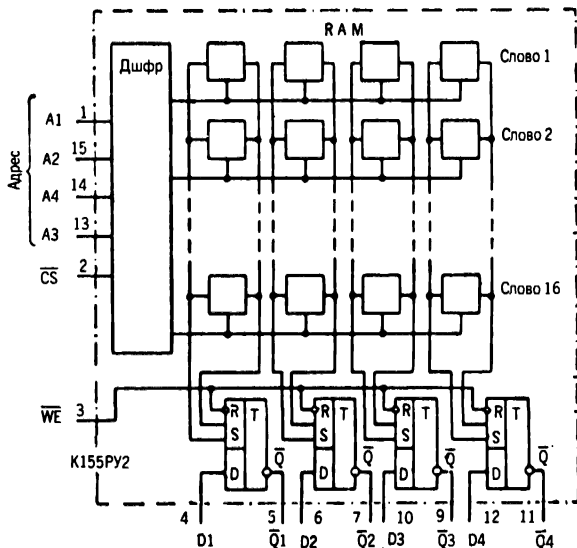
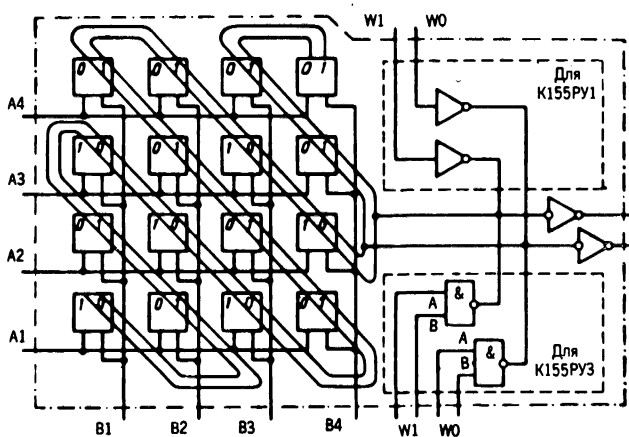


15. ОПЕРАТИВНЫЕ И ПОСТОЯННЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Серия	Обозначение	Номер микросхемы										
		1	1	2	3	3	5	6	7	8	9	26
K155 KM155 K531	РУ	+		+	+		+			+	+	
K155	РП		+			+						
K155	ПР							+	+			
K555	ИР											+
74	—	81	170	89	84	172	130	184	185	189	289	670

K155РУ1 и K155РУ3 — статические ОЗУ на 16 бит. Это матрицы триггеров 4×4. Нужный триггер выбирается уровнем B , поданным одновременно по адресам ряда A и колонки B . Ноль записывается по входу W_0 , единица — W_1 . РУ3 отличается двойными входами W . Для считывания фиксируем нужные адреса A и B . Содержимое ячейки появляется на отдельных выходах R_0 и R_1 с открытыми коллекторами.





K155PY2 — ОЗУ на 64 бит без разрушения содержимого памяти при считывании. Матрица имеет 16 рядов и 4 колонки и снабжена 4-разрядным дешифратором 16 адресов выбора слов от первого до 16-го. Выходы $\bar{Q}_1 \dots \bar{Q}_4$ с ОК, слово на этих выходах имеет инверсный код относительно записанного в памяти. Для считывания: фиксируем байт адреса $A_1 \dots A_3$, даем $\overline{WE} = B$, а на вход выбора кристалла $\overline{CS} = H$. Для записи: готовим байт $D_1 \dots D_4$, устанавливаем $\overline{WE} = \overline{CS} = H$. Чтобы не было ложной записи при считывании, уровни на входах D надо зафиксировать перед сменой уровней \overline{WE} и \overline{CS} . K155PY2 потребляет ток 100 мА. Ток ОК — 24 мА.

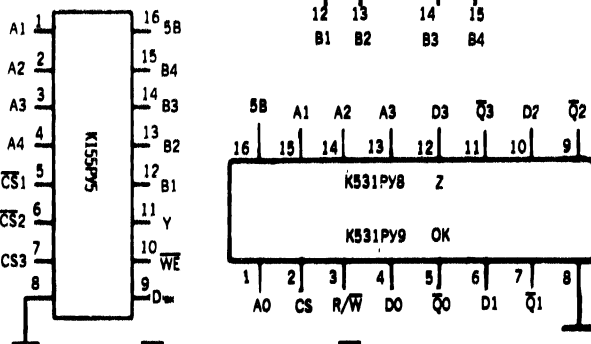
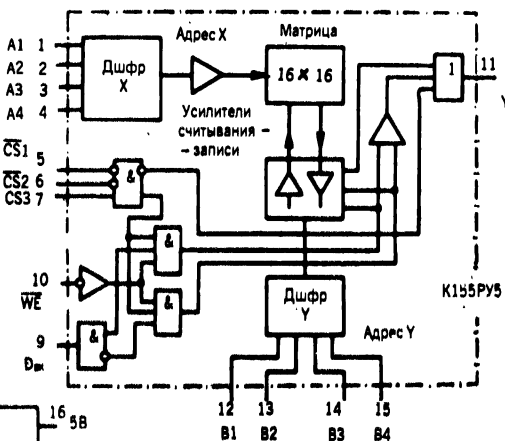
Состояния ОЗУ K155PY2

Режим работы	Вход			Выход \bar{Q}_n
	\overline{CS}	\overline{WE}	D_n	
Запись	H	H	H	B
Считывание	H	B	x	\bar{D}_n
Запрет записи	B	H	H	B
Отключение выходов	B	B	x	B

K155PY5 — матричное ОЗУ (256 слов x 1 бит) имеет 16 рядов x 16 колонок одноразрядных ячеек. Любой из 256 адресов с помощью дешифраторов формируется двумя байтами $A_1 \dots A_4$ (выбираем ряд) и $B_1 \dots B_4$ (выбираем колонку). Вход записи и выход последовательные $D_{вх}$ и Y . Входы $CS_1, 2, 3$ открывают доступ к содержимому матрицы памяти. Запись в выбранную ячейку разрешена, если $\overline{WE} = H$.

Состояния ОЗУ K155PY5

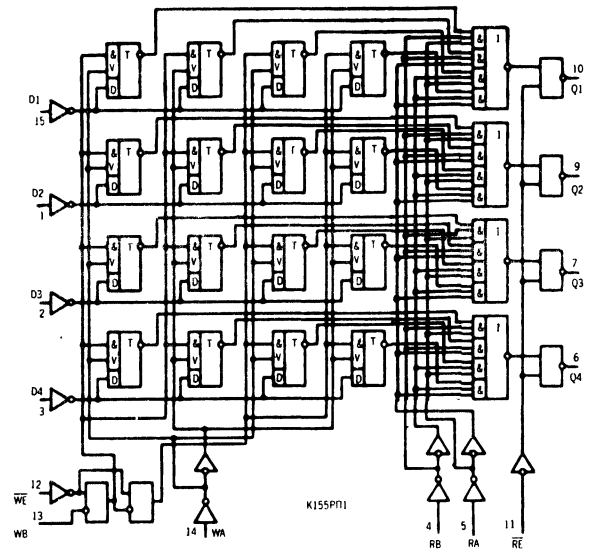
Вход					Выход Y	Режим
\overline{CS}_1	\overline{CS}_2	\overline{CS}_3	\overline{WE}	$D_{вх}$		
B	x	x	x	x	B	Ячейка не выбирается То же Запись 0 в ячейку Запись 1 в ячейку Считывание данных из ячейки, выбранной адресом
x	B	x	x	x	B	
x	x	B	x	x	B	
x	x	x	B	x	B	
H	H	B	B	x	$D_{вх}$	



KP531PY8, PY9 — статические ОЗУ на 64 бита: байт $D_0 \dots D_3$ можно записывать по 16 адресам $A_0 \dots A_3$. При $\overline{CS} = B$ кристалл выбирается. Чтение:

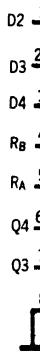
при $R/\overline{W} = B$. Если $R/\overline{W} = H$, можно записывать байты $D_0 \dots D_3$. Выходы $Q_0 \dots Q_3$ у PY8 переходят в Z-состояние. Выходы PY9 — с открытыми коллекторами.

K155РП1 — матрица памяти: 4 байта х 4 бита, содержит 4 файл-регистра. Такая организация позволяет независимо и одновременно одно слово записывать, а другое — считывать. Слово D1 ... D4 хранится в одной из четырех вертикальных колонок и записывается параллельно. Байт адреса записи WA ... WB имеет четыре состояния, каждое из них разрешает одному из четырех столбцов D-триггеров защелкнуть байт D1 ... D4. В это же время можно выбрать любой другой файл байтом независимого адреса считывания RA ... RB и отобразить его содержимое на выходах Q1 ... Q4 (через внутренние мультиплексоры). Данные появляются согласно коду адреса C1B1 — слово 1, бит 1 ... C4B4 — слово 4, бит 4. Если $\overline{WE} = H$ разрешена запись байта D1 ... D4. Он читается на выходе в этот момент в прямом коде. Предыдущий код — Q0. При $\overline{WE} = B$ запись запрещена. Для считывания даем $\overline{RE} = H$ и нужный адрес колонки RA ... RB. Мультиплексоры выбирают выходы нужной колонки. При $\overline{RE} = B$ на всех выходах Q = B. Выходы Q1 ... Q4 с ОК; можно соединять непосредственно до 256 микросхем РП1. Получим 1024 байта по 4 бита. Шину каждого выхода Q1 ... Q4 надо снабдить оконечным коллекторным резистором. Можно параллельно соединить входы разрешения и адресации n-микросхем, за счет чего увеличится длина байта (D1 ... D4) х n. K155РП1 потребляет 150 мА, наибольшее время задержки от D к Q — 45 нс.



Выбор режимов считывания из памяти K155РП1

Режим работы	Вход		Выход Q _n
	\overline{RE}	Внутренняя защелка	
Считывание данных	H	H	H
	B	x	B



Состояния ОЗУ K155РП1 при записи

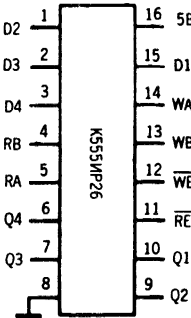
Выход записи			Слово			
WB	WA	\overline{WE}	1	2	3	4
H	H	H	Q=D	Q0	Q0	Q0
H	B	H	Q0	Q0	Q0	Q0
B	H	H	Q0	Q0	Q0	Q0
B	B	H	Q0	Q0	Q0	Q0
x	x	B	Q0	Q0	Q0	Q0

Состояния ОЗУ K155РП1 при считывании

Вход считывания			Выход			
RB	RA	\overline{RE}	Q1	Q2	Q3	Q4
H	H	H	C1B1	C1B2	C1B3	C1B4
H	B	H	C2B1	C2B2	C2B3	C2B4
B	H	H	C3B1	C3B2	C3B3	C3B4
B	B	H	C4B1	C4B2	C4B3	C4B4
x	x	B	B	B	B	B

Выбор режимов записи в память K155РП1

Режим работы	Вход		Состояние внутренней защелки
	\overline{WE}	D _n	
Запись данных	H	H	H
	B	x	Без изменения



ИР26		
Чтение	$\overline{RE}=H$	Q=H/B
Запрет	$\overline{RE}=B$	Z

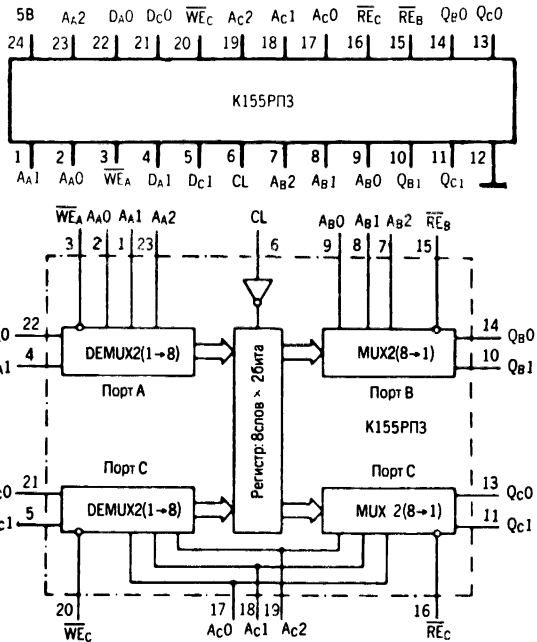
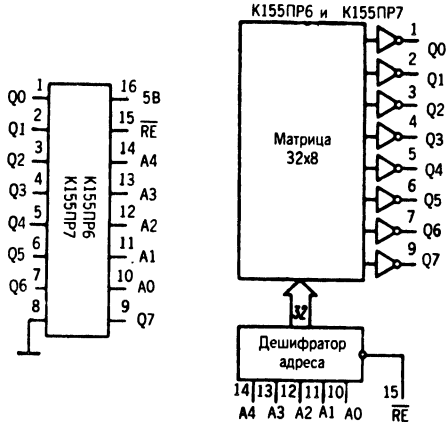
K555ИР26 — развитие РП1. Выходы у этой микросхемы имеют Z-состояние при $\overline{RE} = B$. Допустимо объединить выходными шинами 128 микросхем ИР26, что объясняется меньшей нагрузочной способностью серии K555. K555ИР26 потребляет ток 50 мА, время задержки — 45 нс.

K155РПЗ — ЗУ на 16-разрядном файл-регистре. Организация: 8 слов x 2 бита. Регистр обслуживают 3 порта: независимые — порт А (входной), порт В (выходной) и двухсекционный порт С, имеющий единую адресацию. Каждый байт адресов: Aa0 ... Aa2, Ab0 ... Ab2, Ac0 ... Ac2 — трехразрядный. Это дает 8 адресов записи/считывания через каждый порт для 8 байтов. Можно пользоваться сразу тремя адресами: записываем D0 ... D1 через порт А ($\overline{WE}_A = H$, запись после +перепада C1), читаем Q0 ... Q1 через В ($\overline{RE}_B = H$, от такта независимо), через порт С читаем или записываем. Нельзя одновременно по одному адресу записывать через А и С, но через В и С можно читать два слова. Триггеры регистра — двухступенчатые. При $\overline{WE}_{A,C} = H$, триггер-мастер принимает бит D и передает его помощнику по +перепаду C1. При $\overline{WE} = C1 = H$ адрес менять нельзя, чтобы слово D не попало к мастерам по новому адресу. При хранении перед приходом $\overline{C1}$ -перепада зафиксируйте $\overline{WE} = B$, чтобы не сбить данные в регистре.

K155РПЗ

Режим	Вход		Выход Q _n
	\overline{RE}	Адресовано в регистр	
Чтение	H	H	H
Отключение	H	B	Z

K155РП6 и **K155РП7** — одинаковые кристаллы ПЗУ с программами взаимного преобразования двоично-десятичных (ДДК) и двоичных кодов (ДК). Организация кристалла 32 x 8 бит, дешифратор адресов — 5-разрядный (входы A0 ... A4). РП6 по адресам A0 ... A4 принимает ДДК с весом разрядов 1 - 2 - 4 - 5 - 10 и генерирует ДК. При $\overline{RE} = H$ преобразование разрешено, при $\overline{RE} = B$ — запрещено (на выходах Q0 ... Q4 — B). Выходы Q5 ... Q7 используются для комплементарных кодов.

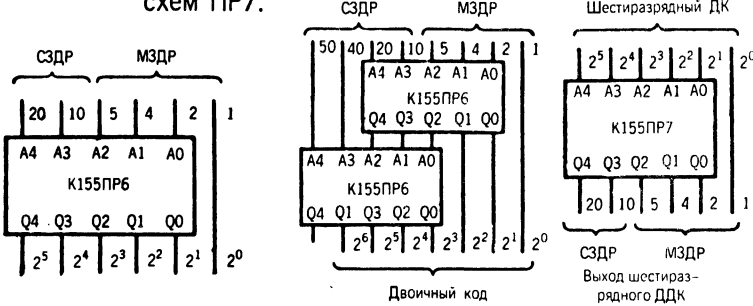


K155РПЗ

Режим	Вход			Адресовано в регистр
	C	\overline{WE}	D _n	
Запись данных	↑	H	H	H
Хранение	↑	B	x	Без изменений

РП7 по A0 ... A4 принимает 5-разрядный байт и преобразует его в ДДК, если $\overline{RE} = H$. При $\overline{RE} = B$ выходы Q = B. На Q6, Q7 всегда B. Цифровой вес разрядов ДДК: Q0 = 1, Q1 = 2, Q2 = 4, Q3 = 5, Q4 = 10, Q5 = 20.

Шестиразрядный преобразователь принимает ДДК и имеет вес МЗДР: 1,2,4,5 (младшие значащие десятичные разряды) и старших СЗДР: 10 и 20. Максимальная их сумма на входе 42, поэтому выходной двоичный байт 6-разрядный $2^0 ... 2^5$. Младший разряд $2^0 = 1$ можно давать напрямую. Код с большим числом разрядов получается каскадированием РП6. Вес ДДК старших микросхем надо увеличить на декаду. Преобразователь ДК в ДДК на одной РП7 принимает 6-разрядный код. Длину байта увеличивают каскадированием микросхем РП7.



Логические уровни при преобразовании двоично–десятичных слов в ПЗУ К155ПР6

Номер слова	Вход						Двоичный код на выходе				
	A4	A3	A2	A1	A0	\overline{RE}	Q4	Q3	Q2	Q1	Q0
0	И	И	И	И	И	И	И	И	И	И	И
1	И	И	И	И	И	И	И	И	И	И	И
2	И	И	И	И	И	И	И	И	И	И	И
3	И	И	И	И	И	И	И	И	И	И	И
4	И	И	И	И	И	И	И	И	И	И	И
5	И	И	И	И	И	И	И	И	И	И	И
6	И	И	И	И	И	И	И	И	И	И	И
7	И	И	И	И	И	И	И	И	И	И	И
8	И	И	И	И	И	И	И	И	И	И	И
9	И	И	И	И	И	И	И	И	И	И	И
10	И	И	И	И	И	И	И	И	И	И	И
11	И	И	И	И	И	И	И	И	И	И	И
12	И	И	И	И	И	И	И	И	И	И	И
13	И	И	И	И	И	И	И	И	И	И	И
14	И	И	И	И	И	И	И	И	И	И	И
15	И	И	И	И	И	И	И	И	И	И	И
16	И	И	И	И	И	И	И	И	И	И	И
17	И	И	И	И	И	И	И	И	И	И	И
18	И	И	И	И	И	И	И	И	И	И	И
19	И	И	И	И	И	И	И	И	И	И	И
Любое	х	х	х	х	х	х	х	х	х	х	х

Состояния при преобразовании двоичного кода в двоично–десятичный в ПЗУ К155ПР7

Номер слова	Вход						Двоично–десятичный код на выходе							
	A4	A3	A2	A1	A0	\overline{RE}	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	И	И	И	И	И	И	х	х	И	И	И	И	И	И
1	И	И	И	И	И	И	х	х	И	И	И	И	И	И
2	И	И	И	И	И	И	х	х	И	И	И	И	И	И
3	И	И	И	И	И	И	х	х	И	И	И	И	И	И
4	И	И	И	И	И	И	х	х	И	И	И	И	И	И
5	И	И	И	И	И	И	х	х	И	И	И	И	И	И
6	И	И	И	И	И	И	х	х	И	И	И	И	И	И
7	И	И	И	И	И	И	х	х	И	И	И	И	И	И
8	И	И	И	И	И	И	х	х	И	И	И	И	И	И
9	И	И	И	И	И	И	х	х	И	И	И	И	И	И
10	И	И	И	И	И	И	х	х	И	И	И	И	И	И
11	И	И	И	И	И	И	х	х	И	И	И	И	И	И
12	И	И	И	И	И	И	х	х	И	И	И	И	И	И
13	И	И	И	И	И	И	х	х	И	И	И	И	И	И
14	И	И	И	И	И	И	х	х	И	И	И	И	И	И
15	И	И	И	И	И	И	х	х	И	И	И	И	И	И
16	И	И	И	И	И	И	х	х	И	И	И	И	И	И
17	И	И	И	И	И	И	х	х	И	И	И	И	И	И
18	И	И	И	И	И	И	х	х	И	И	И	И	И	И
19	И	И	И	И	И	И	х	х	И	И	И	И	И	И
20	И	И	И	И	И	И	х	х	И	И	И	И	И	И
21	И	И	И	И	И	И	х	х	И	И	И	И	И	И
22	И	И	И	И	И	И	х	х	И	И	И	И	И	И
23	И	И	И	И	И	И	х	х	И	И	И	И	И	И
24	И	И	И	И	И	И	х	х	И	И	И	И	И	И
25	И	И	И	И	И	И	х	х	И	И	И	И	И	И
26	И	И	И	И	И	И	х	х	И	И	И	И	И	И
27	И	И	И	И	И	И	х	х	И	И	И	И	И	И
28	И	И	И	И	И	И	х	х	И	И	И	И	И	И
29	И	И	И	И	И	И	х	х	И	И	И	И	И	И
30	И	И	И	И	И	И	х	х	И	И	И	И	И	И
31	И	И	И	И	И	И	х	х	И	И	И	И	И	И
Любое	х	х	х	х	х	х	х	х	х	х	х	х	х	х

16. ЭЛЕМЕНТЫ ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ

Оцифровка несложных и дешевых приборов — задача не простая, поскольку хотя бы неполный микропроцессорный набор потребует применения нескольких периферийных БИС и устройств. Ариф-

метико-логический алгоритм простого аппарата часто выгоднее выполнить на наборе простых микро-схем: АЛУ, СУП сумматоры и другие.

Микросхемы, выполняющие арифметические операции

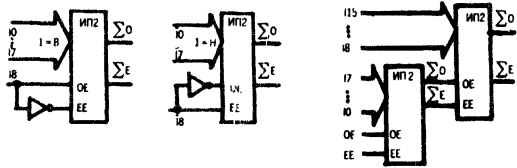
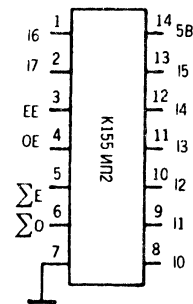
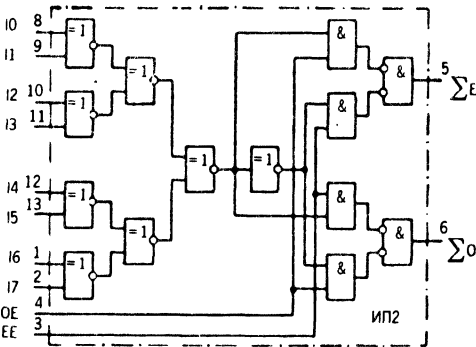
Серия	Обозначение	Номер микросхемы				
		1	2	3	4	5
K155 KM155 K555 KM555 K531 KP1533	ИП		+	+	+	
K555 K531 KP1533	СП	+				
74	—	85	180	181	182	280

K155ИП2 — 8-разрядная схема проверки четности/нечетности суммы единиц байта. Это простой и самый эффективный способ обнаружить ошибку, возникшую при передаче по линии. Входов разрешения два: четный EE (even enable), нечетный OE (odd enable). Логические уровни на них обязательно противоположные. Результат проверки четности/нечетности на выходах $\sum E$ и $\sum O$ зависит

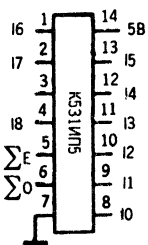
от выбранной логики: 1 = В (высокоуровневая), 1 = Н (низкоуровневая). Если объединить ($\overline{EE} + OE$), на выходах получим ($\overline{EE} + OE$). Длину входного слова для одной микросхемы можно нарастить до 9 разрядов (два варианта: В = 1 или Н = 1). Несколько ИП2 можно каскадировать (16 и более разрядов). K155ИП2 потребляет 56 мА, задержка 50 ... 70 нс.

Состояния в схеме проверки четности K155ИП2

Сумма высоких уровней на входах I0-I7	Вход		Выход	
	EE	OE	$\sum E$ (четная)	$\sum O$ (нечетная)
Четная	В	Н	В	Н
Нечетная	В	Н	Н	В
Четная	Н	В	В	Н
Нечетная	Н	В	Н	В
х	х	х	х	х
х	х	х	х	х

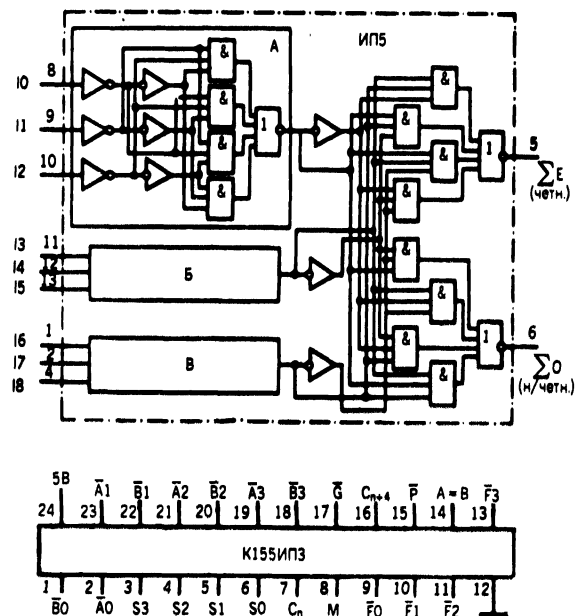


K531ИП5 — 9-разрядная схема проверки четности суммы единиц входного байта. Входы I0 ... I8 образуют одинаковые узлы А, Б, В, имеются выходы $\sum E$ (even, четная сумма) и $\sum O$ (odd, нечетная). Число входов проверки можно наращивать. Десять ИП5 дадут 81 вход (это девять входных микросхем; десятая своими девятью входами собирает их решения $\sum E1 ... \sum E9$ и формирует окончательное решение на своих выходах $\sum E10$ и $\sum O10$). Двухступенчатая проверка занимает 40 нс. ИП5 потребляет 105 мА.

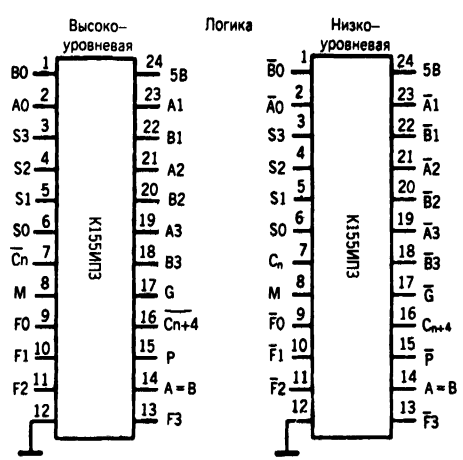
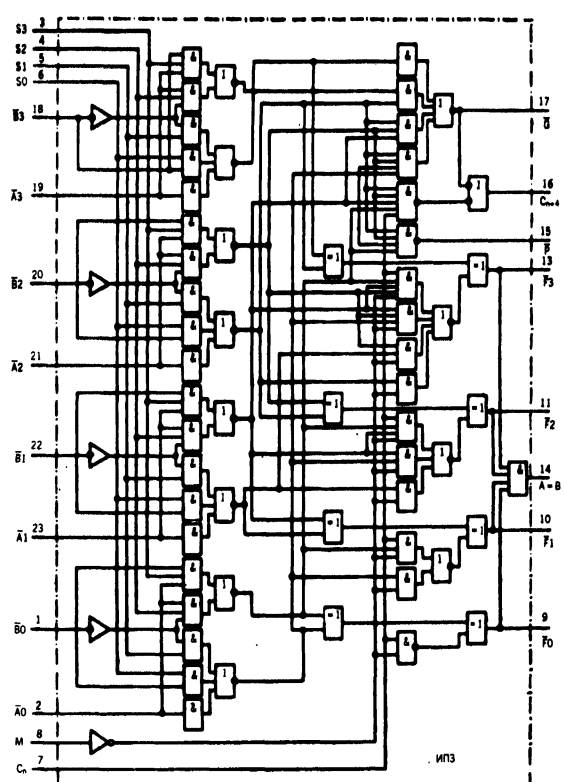


Состояния в схеме проверки на четность K531ИП5

Вход	Выход	
Число высоких уровней на входах I0...I8	$\sum E$	$\sum O$
Четное	В	Н
Нечетное	Н	В



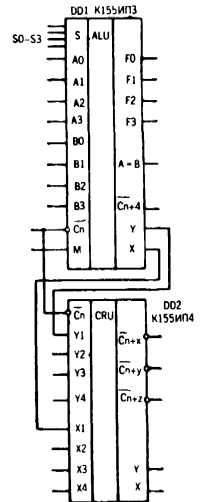
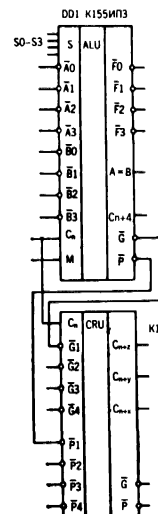
K531ИПЗ — 4-разрядное АЛУ. Устройство выполняет либо 16 арифметических, либо 16 логических действий. Имеется внутренняя схема ускоренного переноса СУП. АЛУ принимает два операнда: байт А0 ... АЗ и байт В0 ... ВЗ. Селекция функции делается с помощью байта S0 ... S3, число функций удваивается переменной логического уровня на входе М (mode control): арифметика — М = Н, логика М = В. Единицу переноса принимает вход Сп. Результаты отображаются на выходах разрядов F0 ... F3 и переноса C_{n+4}. Единица C_{n+4} появляется как только приняты C_n. Выходы G — генерация переноса и P (propagation) распространения переноса — вспомогательные. Они присоединяются к СУП ИП4, которая обслужит еще и 3 других АЛУ. Арифметические операции (М = Н) сопровождаются внутренними переносами единицы в старших разрядах. Для логических операций (М = В) переносы не нужны, логика их запрещает. Многоразрядное (многокорпусное) АЛУ можно сделать как с пульсирующим переносом, так и синхронное. В первом случае время получения решения велико, но реализация проста: предыдущий выход C_{n+4} присоединяем к Сп следующего АЛУ. Второй способ: см. ИП4. Выход с ОК "А = В" отображает равенство операндов. Если код S — НВВН, АЛУ работает как вычитатель А - В. На выходах F0 ... F3 и "А = В" появятся высокие уровни. Такой цифровой компаратор может сравнивать "длинные" слова. Для этого берется нужное число корпусов ИПЗ. Их выходы "А = В" соединяем на общем резисторе как "проводочное И". Совместно с сигналом на C_{n+4} выход равенства позволяет решить: А больше или меньше В. АЛУ работает при 1 = В и 1 = Н. Перемена логики требует перестановки знаков инверсии на входах и выходах. Здесь приведены соотношения для высо-



коуровневой логики. Операции с переносом отличаются на единицу. При сложении А + А каждый бит сдвигается на одну старшую позицию. Потребление: 220 мА, 150 мА, 37 мА и 22 мА по сериям K531, K155, K555 и K1533. В этом же порядке серий время задержки: 17, 42, 32 и 70 нс.

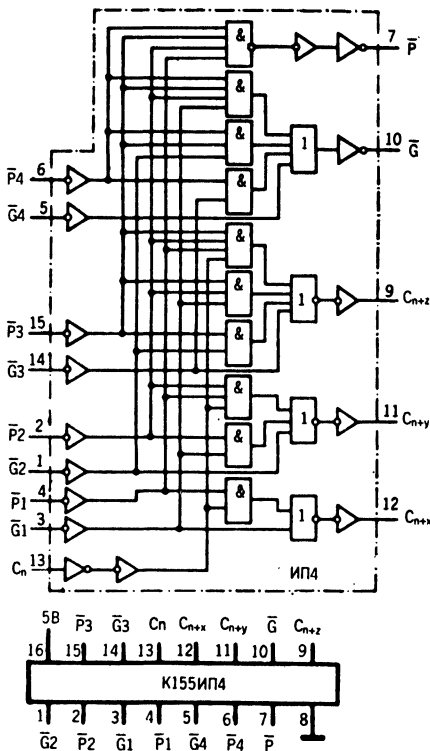
Выбор функций АЛУ ИПЗ при низких активных уровнях

Выбор функции				Выходные данные при активных низких уровнях		
S3	S2	S1	S0	Логические функции (на входе М – напряжение высокого уровня)	Арифметические операции (на входе М – напряжение низкого уровня)	
					$C_n=H$ (без переноса)	$C_n=B$ (с переносом)
H	H	H	H	\bar{A}	A-1	A
H	H	H	B	$\bar{A}\bar{B}$	AB-1	AB
H	H	H	B	$\bar{A}+B$	$\bar{A}\bar{B}-1$	$\bar{A}\bar{B}$
H	H	H	B	1	-1	0
H	H	B	H	$\overline{A+B}$	$A+(A+\bar{B})$	$A+(A+\bar{B})+1$
H	H	B	B	\bar{B}	$AB+(A+\bar{B})$	$AB+(A+\bar{B})+1$
H	H	B	B	$A\oplus B$	A-B-1	A-B
H	H	B	B	$A+\bar{B}$	$A+\bar{B}$	$(A+\bar{B})+1$
H	B	H	H	$\bar{A}\bar{B}$	$A+(A+B)$	$A+(A+B)+1$
H	B	H	B	$A\oplus B$	A+B	A+B+1
H	B	B	H	B	$\bar{A}\bar{B}+(A+B)$	$\bar{A}\bar{B}+(A+B)+1$
H	B	B	B	A+B	A+B	$(A+B)+1$
H	B	B	B	0	A+A	$(A+A)+1$
B	H	H	H	$\bar{A}\bar{B}$	AB+A	$AB+A+1$
B	H	H	B	AB	$\bar{A}\bar{B}+A$	$\bar{A}\bar{B}+A+1$
B	H	B	H	A	A	A+1



Выбор функций АЛУ ИПЗ при высоких активных уровнях

Выбор функции				Выходные данные при активных низких уровнях		
S3	S2	S1	S0	Логические функции (на входе М – напряжение высокого уровня)	Арифметические операции (на входе М – напряжение низкого уровня)	
					$\bar{C}_n=B$ (без переноса)	$\bar{C}_n=H$ (с переносом)
H	H	H	H	\bar{A}	A	A+1
H	H	H	B	$\bar{A}+B$	A+B	$(A+B)+1$
H	H	H	B	$\bar{A}\bar{B}$	$A+\bar{B}$	$(A+\bar{B})+1$
H	H	H	B	0	-1	0
H	H	B	H	$\bar{A}\bar{B}$	$A+A\bar{B}$	$A+A\bar{B}+1$
H	H	B	B	\bar{B}	$(A+B)+\bar{A}\bar{B}$	$(A+B)+\bar{A}\bar{B}+1$
H	H	B	B	$A\oplus B$	A-B-1	A-B
H	B	H	H	$\bar{A}\bar{B}$	$\bar{A}\bar{B}-1$	$\bar{A}\bar{B}$
H	B	H	B	$\bar{A}+B$	A+AB	A+AB+1
H	B	B	H	A+B	A+B	A+B+1
H	B	B	B	B	$(A+\bar{B})+AB$	$(A+\bar{B})+AB+1$
B	H	H	H	AB	AB-1	AB
B	H	H	B	1	A+A	A+A+1
B	H	B	H	$A+\bar{B}$	$(A+B)+A$	$(A+B)+A+1$
B	H	B	B	A+B	$(A+\bar{B})+A$	$(A+\bar{B})+A+1$
B	B	H	H	A	A-1	A



К531ИП4 — СУП, применяется для каскадирования АЛУ, начиная с 4 бит. Принимает сигналы от выходов \bar{G}, \bar{P} четырех АЛУ ИПЗ. Для этого есть 4 согласованных пары входов $\bar{G}1, \bar{P}1 \dots \bar{G}4, \bar{P}4$. Есть вход приема единицы переноса C_n от входа первого АЛУ. Три выхода переноса C_{n+x}, C_{n+y} и

C_{n+z} дают сигналы входам C_n остальных трех АЛУ. Вспомогательные выходы \bar{P} и \bar{G} используются для АЛУ более высокого порядка. К531ИП4 потребляет 109 мА, вариант К155 — 72 мА. Соответственно время задержки: 10 нс и 22 нс.

Определение соотношения операндов А и В с помощью СУП ИП4

Вход C _n	Выход переноса C _{n+4}	Активные уровни низкие	Активные уровни высокие
В В	В Н	A ≥ B A < B	A ≤ B A > B
Н Н	В Н	A > B A ≤ B	A < B A ≥ B

Данные на выходе \bar{P} СУП ИП4

Вход				Выход \bar{P}
\bar{P}_4	\bar{P}_3	\bar{P}_2	\bar{P}_1	
Н	Н	Н	Н	Н
Любые другие входные уровни				В

Данные на выходе \bar{G} СУП ИП4

Вход							Выход \bar{G}
\bar{G}_4	\bar{G}_3	\bar{G}_2	\bar{G}_1	\bar{P}_4	\bar{P}_3	\bar{P}_2	
Н	х	х	х	х	х	х	Н
х	х	х	х	х	х	х	Н
х	х	х	х	х	х	х	Н
х	х	х	х	х	х	х	Н
Любые другие входные уровни							В

Данные на выходе C_{n+x} СУП ИП4

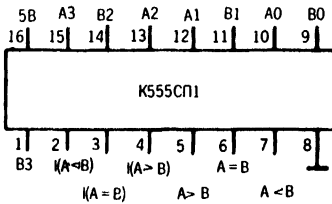
Вход			Выход C _{n+x}
\bar{G}_1	\bar{P}_1	C _n	
Н	х	х	В
х	х	В	В
Любые другие входные уровни			Н

Данные на выходе C_{n+y} СУП ИП4

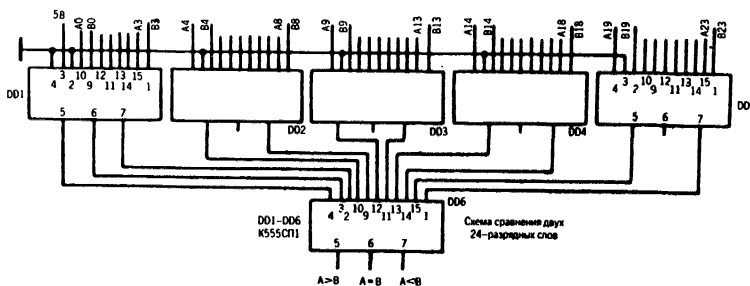
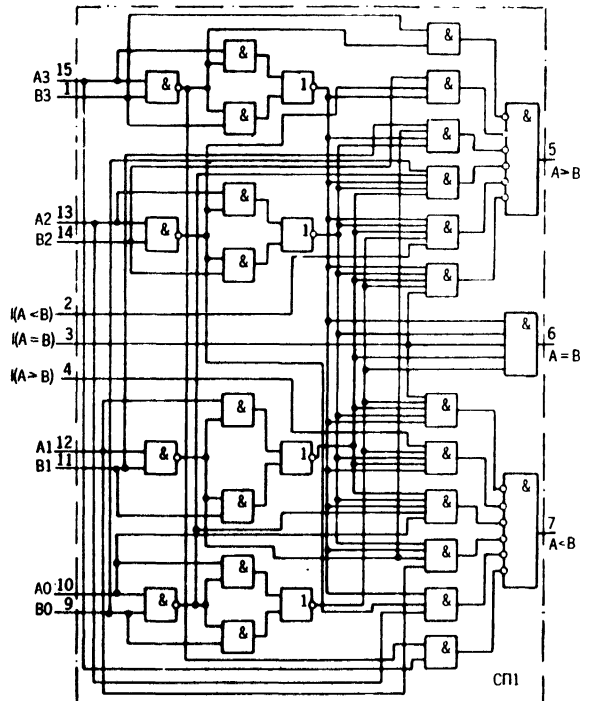
Вход					Выход C _{n+y}
\bar{G}_2	\bar{G}_1	\bar{P}_2	\bar{P}_1	C _n	
Н	х	х	х	х	В
х	х	х	х	х	В
х	х	х	х	В	В
Любые другие входные уровни					Н

Данные на выходе C_{n+z} СУП ИП4

Вход							Выход C _{n+z}
\bar{G}_3	\bar{G}_2	\bar{G}_1	\bar{P}_3	\bar{P}_2	\bar{P}_1	C _n	
Н	х	х	х	х	х	х	В
х	х	х	х	х	х	х	В
х	х	х	х	х	х	В	В
Любые другие входные уровни							Н



К531СП1 — 4-разрядный цифровой компаратор с 11 входами: два четырехвходовых байта A0 ... A3 и B0 ... B3 и три входа наращивания I (A < B), I (A = B), I (A > B). Результаты анализа получаются по трем выходам A > B, A = B и A < B. Шесть последних строк таблицы отображают последовательный или параллельный способ наращивания. В первом случае одноименные выходы младшей микросхемы и входы старшей следует соединить (два компаратора СП1 могут сравнить два 8-разрядных байта). На каждую ступень анализа придется задержка 15 нс. На входы "больше" "меньше" первой микросхемы надо подать В, на вход "равно" — Н. Параллельная структура — всегда двухступенчатая. Показан компаратор для пары 24-разрядных слов.



Состояния цифрового компаратора СП1

Вход сравнения данных				Вход наращивания каскадов			Выход		
A3,B3	A2,B2	A1,B1	A0,B0	(A>B)	(A<B)	(A=B)	A>B	A<B	A=B
A3>B3	x	x	x	x	x	x	В	Н	Н
A3<B3	x	x	x	x	x	x	Н	В	Н
A3=B3	A2>B2	x	x	x	x	x	В	Н	Н
A3=B3	A2<B2	x	x	x	x	x	Н	В	Н
A3=B3	A2=B2	A1>B1	x	x	x	x	В	Н	Н
A3=B3	A2=B2	A1<B1	x	x	x	x	Н	В	Н
A3=B3	A2=B2	A1=B1	A0>B0	x	x	x	В	Н	Н
A3=B3	A2=B2	A1=B1	A0<B0	x	x	x	Н	В	Н
A3=B3	A2=B2	A1=B1	A0=B0	В	Н	Н	В	Н	Н
A3=B3	A2=B2	A1=B1	A0=B0	Н	В	Н	Н	В	Н
A3=B3	A2=B2	A1=B1	A0=B0	В	Н	Н	В	Н	Н
A3=B3	A2=B2	A1=B1	A0=B0	Н	В	Н	Н	В	Н
A3=B3	A2=B2	A1=B1	A0=B0	В	Н	Н	В	Н	Н
A3=B3	A2=B2	A1=B1	A0=B0	Н	В	Н	Н	В	Н

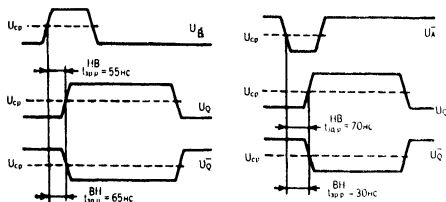
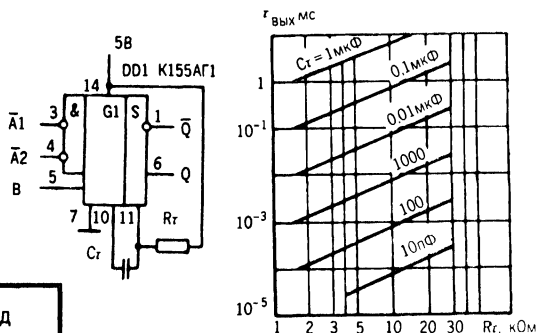
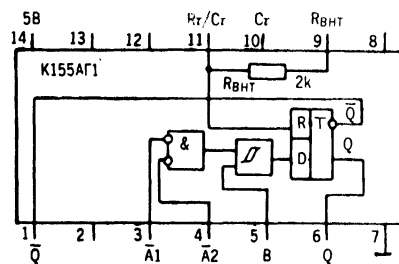
17. МУЛЬТИВИБРАТОРЫ И АВТОГЕНЕРАТОРЫ

Ждущие и управляемые напряжением мульти-
вибраторы ТТЛ необходимы для формирования
синхронных тактовых последовательностей, расши-

рения коротких импульсов, формирования интерва-
лов до единиц минут, построения петель ФАП.

K155AF1 (74121) — ждущий мультивибратор. Содержит внутреннюю ячейку памяти с выходами Q и \bar{Q} . Входов запуска три: инверсные $\bar{A}1$, $\bar{A}2$ и прямой В. Правильное исходное состояние выходов AF1 показывают первые четыре строки таблицы. От этих состояний AF1 может один раз "выстрелить" (one shot), если хотя бы на один из входов поступил перепад: отрицательный на $\bar{A}1, 2$, положительный — на В. На неиспользуемые входы надо дать статические уровни согласно таблице. На вход В можно давать запрещающий сигнал Н или разрешающий — В. Окончание импульса (внутренний сброс) определяется внешним конденсатором C_T и резистором R_T (есть и внутренний резистор $R_{ВН} = 2$ кОм). Если его номинал достаточен, R_T не устанавливаем, а выводы 9 и 14 соединяем. Получим $\tau_{\text{вых}} = C_T R_T \ln 2 = 0,7 C_T R_T$. Если R_T и C_T вообще отсутствуют, длительность выходного импульса — 35 нс. Фильтр в цепи питания AF1 обязателен. Пока не закончился выходной импульс AF1 не чувстви-

лен к сигналам $\bar{A}1$, $\bar{A}2$ и В. Вход В имеет порог Шмитта, поэтому здесь запуск надежен даже при медленном фронте запуска 1В/с. Длительность выходных импульсов: 35 нс ... 0,28 с, пределы: $R_T = 2 \dots 40$ кОм, $C_T = 10$ пФ ... 10 мкФ.

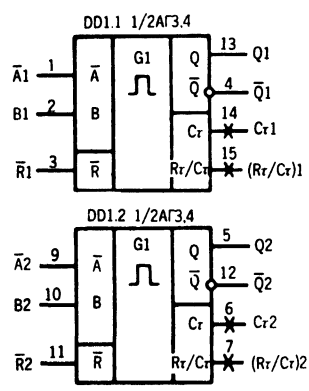
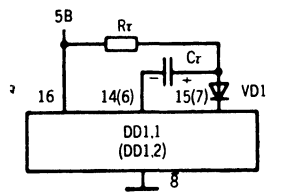
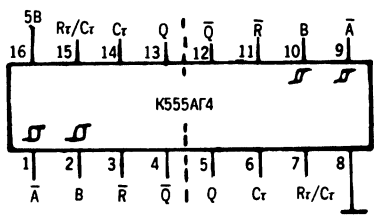
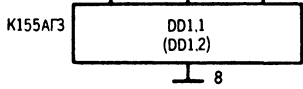
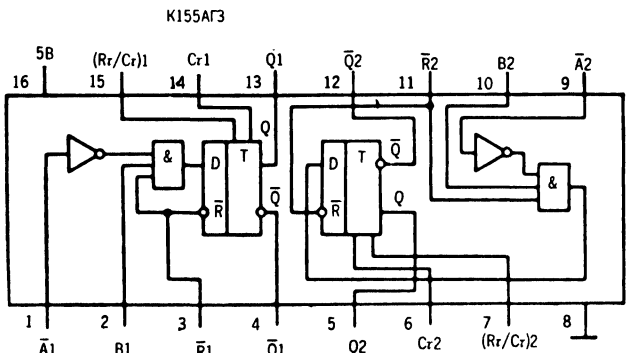
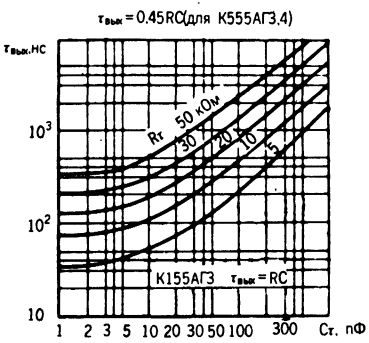
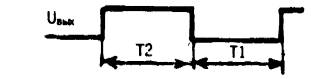
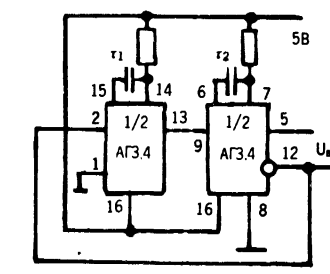
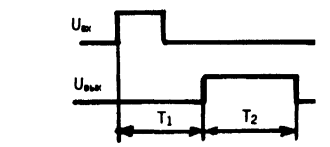
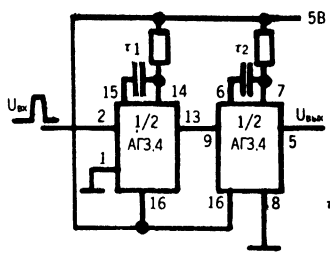


Управление и сигналы мультивибратора K155AF1

Вход			Выход		Вход			Выход	
$\bar{A}1$	$\bar{A}2$	В	Q	\bar{Q}	$\bar{A}1$	$\bar{A}2$	В	Q	\bar{Q}
Н	х	В	Н	В	↓	В	В	□	□
х	Н	В	Н	В	↓	х	В	□	□
х	х	В	Н	В	х	↓	В	□	□
В	↓	В	□	□	х	х	↑	□	□

K155АГЗ — два ждущих мультивибратора. В отличие от АГ1 нет входов $\bar{A}2$ и внутренних резисторов 2 кОм. Однако есть возможность перезапуска: до истечения времени импульса можно сделать новый запуск и выходной импульс продолжится. Выходной импульс обрывается после подачи на R +перепада. Без внешних R,C генерируется импульс до 40 нс. Можно использовать низковольтные электролитические конденсаторы очень большого номинала, ограничив напряжение с помощью диода.

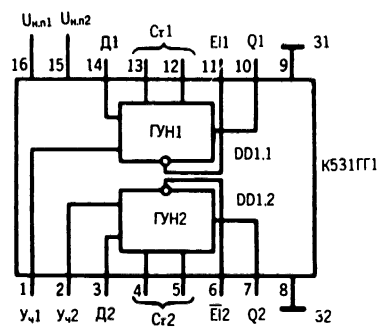
K155АГЗ (74123) потребляет 66 мА, K555АГЗ (74LS123) — 20 мА. Ток выходов — до 40 мА. Вариант данной микросхемы K555АГ4 (74LS221) отличается формирователями Шмитта на входах. Линейка из двух мультивибраторов дает задержанный импульс, а соединение в кольцо — автогенератор.



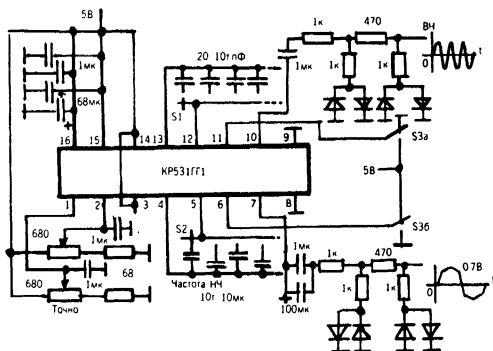
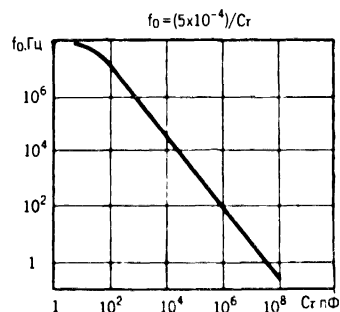
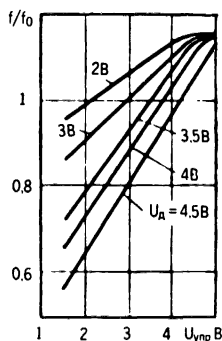
Сигналы управления для мультивибратора из микросхемы АГЗ

Вход					Выход				
Сброс \bar{R}	\bar{A}	B	Q	\bar{Q}	Сброс \bar{R}	\bar{A}	B	Q	\bar{Q}
H	x	x	H	B	B	H	↑ B	□	□
x	B	x	H	B	B	H	↑ B	□	□
x	x	H	H	B	↑	H	B	□	□

K531ГГ1 (74LS124) — два мультивибратора, имеющих входы управления частотой УЧ и диапазоном частоты Д. Если подано: Д = В, УЧ = Н, а к выводам 4 — 5 (или 12 — 13) присоединен конденсатор С, на выходе 7 (или 10) получаем меандр с постоянной частотой f_0 в диапазоне 1 Гц ... 60 МГц. Для маломощного исполнения этой микросхемы 74LS124 f_0 меньше в 5 раз. Выход меандру запрещается при $\bar{E}1 = В$. Если $\bar{E}1 = Н$, генератор стартует. K531ГГ1 потребляет от 110 до 150 мА, поэ-

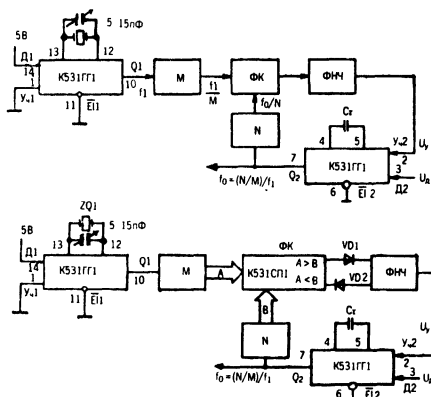


тому сделано 4 вывода питания: 16 и 9 — для выходных буферных каскадов двух мультивибраторов сразу, 15 и 8 — питание их малосигнальной части. Реально, эта развязка питания недостаточна, поэтому желательно, чтобы один генератор работал с фиксированной частотой f_0 (лучше на пьезорезонаторе), другой может работать как ГУН. Для управления частотой зафиксируйте центр диапазона, подайте на выводы 3 (или 14), например, 3,5 В. Согласно графику, изменяя напряжение U_2 (или U_1) в пределах 1,5 ... 4 В, получаем девиацию частоты на +20%. Максимальная частота может превысить 60 МГц.



На ГГ1 можно построить очень простой автогенератор сигналов от НЧ до радиочастот. Выходной сигнал — "квазисинусоидальный", ограничиваемый диодами до амплитуды $\pm 0,7$ В.

Для синтеза частот дробно-кратных опорной, кварцеванной применяются петли фазовой автоподстройки ФАП. Данные схемы отличаются фазовыми компараторами ФК: в первом случае — это "исключающее ИЛИ" например, ЛП5, во втором — компаратор параллельных слов СП1 или ИПЗ. В схемах есть два делителя частоты в М — и в N — раз. После захвата петель режима, частоты, приходящие на ФК уравниваются с точностью до фазы (EX — OR держит фазу захвата — 90° , для компаратора — эта фаза 0°). Если $f_1/M = f_0/N$, получаем, что ГУН надо "загнать" в диапазон слежения вокруг центральной частоты $f_0 = (N/M)f_1$. При недостаточном быстродействии ФК можно попытаться увеличить и f_0 и f_1 в K раз. Решение с параллельным компаратором для высоких частот предпочтительнее, т.к. EX — OR склонен давать "кlyки" — помехи.



Литература

1. Аналоговые и цифровые интегральные микросхемы /Под ред. С.В.Якубовского. — 3-е изд. перераб. — М.: Радио и связь, 1990. — 496 с.
2. В.Л.Шило. Популярные цифровые микросхемы: Справочник. — 2-е изд. — М.: Радио и связь, 1989. — 352 с.
3. А.В.Прибыльский, А.И.Сухопаров, С.В.Якубовский, С.А.Ельцова. Быстродействующие маломощные микросхемы ТТЛ /Электронная промышленность. — 1990. — N2,3,4,5,7,8,10
4. Integrated circuits catalog. — Texas Instruments, 1980.

Издательство «АРТУС»

Москва 1993

